

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-334692
 (43)Date of publication of application : 02.12.1994

(51)Int.Cl. H04L 25/08
 H03H 17/00
 H03M 13/12
 H04L 27/01

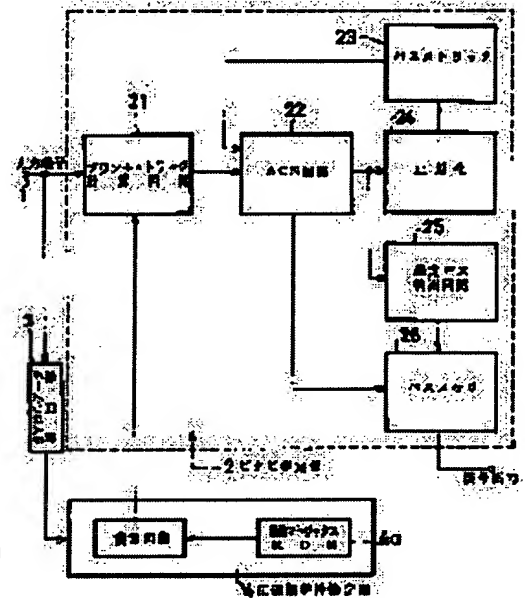
(21)Application number : 05-124228 (71)Applicant : SONY CORP
 (22)Date of filing : 26.05.1993 (72)Inventor : SATO TERUO

(54) VITERBI EQUALIZER

(57)Abstract:

PURPOSE: To improve the determining accuracy and speed of transmission characteristics by modelling the impulse responses between a transmitter and a receiver by the method of least squares.

CONSTITUTION: A synchronizing signal pattern part is detected when reception signals are supplied to an input terminal 1, the prescribed coefficient matrix of a ROM 4a is read in a transmission line characteristic estimation part 4, the impulse responses between the transmitter and the receiver are modelled by the method of least squares with the above-mentioned detected pattern part as a reference signal and a channel response is identified. Thus, the impulse responses between the transmitter and the receiver can be uniquely modelled, the model determined in such a manner is the model to minimize errors in the meaning of least square estimation and superior equalization characteristics can be obtained as a result. Also, since the coefficient matrix which is calculated in advance and stored in the ROM 4a the U/V decomposed value or the inverse matrix of the coefficient matrix is used, the number of times of arithmetic processings can be small and a high speed processing becomes possible as a result.



LEGAL STATUS

[Date of request for examination] 25.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3399019

[Date of registration] 21.02.2003

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Japanese Patent 3399019
Issued 21 April 2003
Translation of Specification and Claims into English
By Japanese Patent Office
With Japanese Drawings

Unexamined publication number: 06-334692 Inventor(s): Sato, Teruo
Unexamined publication date: 2 December 1994 Applicant: Sony Corp.
Application number: 05-124228
Filing date: 26 May 1993

[Claim(s)]

[Claim 1] A synchronizing signal data detection means to detect the synchronizing signal data division out of an input-signal data sequence, The synchronizing signal data division detected by this synchronizing signal data detection means are made into a reference sign. A line-characteristic presumption means to model a transmitter, a receiver, and the impulse response of a between using the least square method, ROM which calculated beforehand the multiplier matrix at the time of using the least square method with this line-characteristic presumption means, and was written in as data, The Viterbi equalizer characterized by consisting of a decode means to decode a transmit data sequence using the Viterbi algorithm based on the transmission model obtained by said line-characteristic presumption means.

[Claim 2] The Viterbi equalizer characterized by making into the value after decomposing a multiplier matrix L.U times the data written in said ROM in the Viterbi equalizer according to claim 1.

[Claim 3] The Viterbi equalizer characterized by making into the inverse matrix of said multiplier matrix the data written in said ROM in the Viterbi equalizer according to claim

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is used for a land mobile radiotelephone etc., and relates to the suitable Viterbi equalizer.

[0002]

[Description of the Prior Art] Digitization of a land mobile radiotelephone method is advanced in the U.S., Europe, and Japan. Since the transmission characteristic between a base station and a mobile station deteriorated sharply in response to the effect of the so-called multi-pass when a skyscraper etc. intervened between a mobile station and a base station like [in the mobile communications like this land mobile radiotelephone] an automobile at high speed, data transmission with few errors was difficult. And this

equivalent transmission characteristic is changed every moment.

[0003] In such migration communication system, in order to realize little reception of an error, the identification technique which amends such a transmission characteristic is indispensable.

[0004] The Viterbi equalizer which decodes transmit data based on a maximum likelihood sequence estimation, using a base station, a mobile station, and the transmission characteristic of a between as a **** identification technique is proposed conventionally.

[0005] The basic configuration of this Viterbi equalizer is ***** shown in drawing 4 , and is attached and stated to the example which applied the Viterbi equalizer shown in this drawing 4 to the GSM (group special mho BAL) method adopted with the European land mobile radiotelephone here.

[0006] While supplying the input signal supplied to an input terminal 1 in this drawing 4 to the branch metric count circuit 21 which constitutes the Viterbi presumption section 2, this input signal is supplied to the synchronizing signal data detecting element 3, and the synchronizing signal data from this synchronizing signal data detecting element 3 are supplied to the line-characteristic presumption section 4.

[0007] The message channel from the base station of the GSM method adopted in this Europe to a mobile station (automobile) serves as a **** frame structure shown in drawing 5 A and B. Since the synchronizing signal pattern (SYNC pattern) which has a known pattern is added and sent to that center section as shown in drawing 5 B, each of this time slot presumes the impulse response (henceforth a channel response) of the transmission system which intervenes between a transmitter and a receiver using this synchronizing signal pattern in this line-characteristic presumption section 4.

[0008] In the case of this GSM method, a modulation technique called GMSK (GAUSHAN minimum shift keying) is adopted, but since a high frequency transmission system is changed into baseband signaling by letting a demodulator pass, in order to simplify explanation, below, it goes ahead with the talk as signal processing in baseband.

[0009] In this GSM method, eight kinds of data sequences are beforehand specified as a synchronizing signal pattern, and one of sequences [them] is shown in drawing 6 . The conventional general procedure which models a channel response using this synchronizing signal pattern is explained.

[0010] Now, the case where a channel response is shown by drawing 7 will be taken up as an example (this channel response is strange actually.). In this drawing 7 , the unit of time amount shaft orientations is equal to sending-out spacing of a symbol. The synchronizing signal pattern of this drawing 7 is a synchronizing signal pattern of drawing 6 . The synchronizing signal data received when the transmission system which

has such a channel response is passed are expressed with a degree type.

[0011]

[Equation 1]

$$y_i = \sum_{n=-k_m}^{+k_p} h_n \cdot x_{i-n}$$

It is y_i here. An input signal and x_i A synchronizing signal pattern and h_i A channel response is expressed. Moreover, it is the value sampled with the symbol time interval T , respectively.

[0012] If the input signal corresponding to the synchronizing signal pattern section is calculated according to several 1, an output signal as shown by drawing 7 will be acquired. the information which is known at this receiver side -- synchronizing signal pattern x_i Input signal y_i it is .

[0013] The procedure of modeling of this conventional line-characteristic presumption section 4 detects synchronizing signal data division by taking correlation with an input signal and a synchronizing signal pattern first.

[0014] Next, cross-correlation function r_j of these synchronizing signal data division and a synchronizing signal pattern It calculates.

[0015]

[Equation 2]

$$r_j = \sum_{n=-l_n}^{+l_p} x_n \cdot y_{n+j}$$

[0016] Next, this cross-correlation function r_j It normalizes using maximum. Thus, the calculated cross-correlation function is shown in drawing 7 . A channel response is presumed with this cross-correlation function, and the branch metric count circuit 21 is supplied.

[0017] After presuming this channel response, a transmit data sequence is decoded using the Viterbi algorithm. The transmission-line equivalence model generalized to drawing 8 is shown. Here, it goes ahead with the talk about the example of drawing 9 which limited that channel response length and modeled concretely the transmission-line equivalence model which this drawing 8 generalized.

[0018] If a model is made like this drawing 9 , it can be regarded as the convolutional code machine of rate r =of restricted length =4 coding 1/1. However, a different point from the usual convolutional code machine is that an adder 71 performs linearity actuation and a shift register T0, T1, and T2. And T3 The symbol inputted is binary [of $\langle +1 \rangle$ and $\langle -1 \rangle$], and each output of a shift register is two points of being added with an adder 71, after attaching the weight equivalent to the channel response h_{-1} , h_0 , h_{+1} , and

h+2.

[0019] Thus, when a model is made, the symbol G sent out is expressed with a degree type.

[0020]

[Equation 3]

$$G = \sum_{n=-1}^{+2} h_n \langle T_{n+1} \rangle$$

$$= h_{-1} \langle T_0 \rangle + h_0 \langle T_1 \rangle + h_{+1} \langle T_2 \rangle + h_{+2} \langle T_3 \rangle$$

$\langle T_j \rangle$ is Register Tj here. The stored contents shall be expressed.

[0021] The trellis Fig. showing transition of the internal state of the transmission line in the transmission-line equivalence model shown in this drawing 9 is shown in drawing 10. Each condition joint Si of this drawing 10 The corresponding alphabet of three characters shall express the internal state of the shift register in each time slot. Since a shift register takes the value of $\langle +1 \rangle$ and $\langle -1 \rangle$, suppose that it is expressed H and L on account of expressional, respectively here. In addition, it expresses with this drawing 10 that transition when an information input symbol $\langle +1 \rangle$ is inputted, as been a continuous line when deformation is added to grid structural drawing usually used and an information input symbol $\langle -1 \rangle$ is inputted, and shown with a broken line occurs.

[0022] On the other hand, it is the input-signal data Yk to the branch metric count circuit 21. The likelihood about the transition is calculated by inputting. Although some are proposed as measuring for measuring the likelihood, the Hamming distance which is the most general evaluation scale in the Viterbi decoder is applied to a wide sense.

[0023] Branch metric in time-slot t (k) is now calculated by the degree type.

[0024]

[Equation 4] $b(k \text{ and } S_i \rightarrow S_n) = |Y_k - G_k|$ -- here -- Yk input-signal data -- it is -- moreover, Gk It is the symbol sent out from an equivalence transmission-line model, and the value calculated by several 3 is taken.

[0025] It supplies branch metric obtained in this branch metric count circuit 21 to the ACS (Add Compare Select) circuit 22. This ACS circuit 22 consists of an adder, a comparator, and a selector, adds pass metric in front of 1 time slot memorized in branch metric of this and the pass metric store circuit 23 in each condition, and chooses the one where that value is smaller as survival pass which will seemingly be reasonable. Pass metric is the value which added together branch metric in survival pass here.

[0026] While supplying the output signal of this ACS circuit 22 to the pass metric store circuit 23 through the normalization circuit 24, the output signal of this ACS circuit 22 is supplied to the maximum ** pass detector 25.

[0027] This maximum ** pass detector 25 detects the pass which has the minimum pass metric value, and outputs the contents of the pass memory 26 corresponding to that pass as decode data. This pass memory 26 is memory which presumes and memorizes the information bit train.

[0028] The Logical unit which constitutes this Viterbi equalizer is shown in drawing 11 . In this drawing 11 , each measuring shall express the following contents, respectively.

[0029]

P (k-1 and Si): Set to a time slot t (k-1), and it is the condition joint Si. Pass metric P (k-1 and Sj) which reached and which is survived and pass has : In a time slot t (k-1)
Condition joint Sj Pass metric b (k and Si ->Sn) which reached and which is survived and pass has : In time-slot t (k) condition joint Si from -- condition joint Sn the branch metric b(k and Sj ->Sn):time slot t corresponding to transition (k) -- setting -- condition joint Sj from -- condition joint Sn branch metric corresponding to transition.

[0030]

M (k-1 and Si): Set to a time slot t (k-1), and it is the condition joint Si. Pass memory M which reached and which is survived and pass has (k-1 and Sj) : In a time slot t (k-1)
Condition joint Sj The pass memory <-1>, <+1> which reached and which are survived and pass has : In time-slot t (k) The information symbol P presumed to have been sent out (k and Sn) : In time-slot t (k) Condition joint Sn Pass metric M (k and Sn) which reached and which is survived and pass has: Set to time-slot t (k) and it is the condition joint Sn. Pass memory which reached and which is survived and pass has.

[0031] If restricted length is set to k here -- the number of conditions -- $2k-1$ only -- the number of Logical unit shown in drawing 11 since it exists -- fundamental -- the number of conditions -- $2k-1$ only -- it is needed. Furthermore, the method which forms the normalization circuit 24 like the block configuration of the Viterbi equalizer shown in drawing 4 , and reduces the scale of the pass metric store circuit 23, and prevents the overflow at the time of pass metric count is common.

[0032] Processing which detects the pass metric minimum value first as concrete processing of this normalization, and then subtracts that value from the pass metric amount of each is performed. thus, it was selected -- surviving -- the number of pass -- the number of conditions -- the same -- $2k-1$ only -- it will exist.

[0033] In each time slot, the actuation which updates the actuation which chooses survival pass, pass metric corresponding to the pass, and the pass memory 26 is repeated. Merging into the same pass before a certain time amount which performs this actuation over time amount long enough is known, and this situation is shown in drawing 12 . The die length of pass until it goes back from the newest processing point in time and pass merges is closed, and it is called path length.

[0034] The method of renewal of the pass memory of drawing 11 is determined according to each condition. For example, at the Logical unit of "LLL", it is decided by

Logical unit of $\langle -1 \rangle$ and "HLL" as $\langle +1 \rangle$, and is decided by it like the following.

[0035] In maximum likelihood determination, it outputs as an information symbol at the time of detecting the pass which has the minimum pass metric value, closing the contents of the pass memory corresponding to the pass, and going back by path length (usually set as about 4 times from 3 times of restricted length).

[0036] The flow of signal processing of this conventional Viterbi equalizer is explained using the flow chart of drawing 13. It is the input-signal data Y_k first. When an input terminal 1 is supplied, a synchronizing signal pattern is detected (step S1), and it is this input-signal data Y_k . A cross-correlation function with the synchronizing signal pattern beforehand remembered to be a synchronizing signal pattern is calculated in the line-characteristic presumption section 4, and a channel (step S2) response is presumed (step S3). Next, the branch metric count circuit 21 performs branch metric count (step S4), and it starts count about the N th State continuously (step S5).

[0037] Next, the address of the State -1 in front of 1 time slot is set up (step S6), pass metric memorized next in the pass metric store circuit 23 of this set-up address is read (step S7), it adds in branch metric and the ACS circuit 22 which calculated pass metric of this by step S4, and this addition output is stored in a register P1 (step S8).

[0038] Next, in step S9, the address of the State -2 in front of 1 time slot is set up, pass metric memorized in the pass metric store circuit 23 of this set-up address is read (step S10), it adds in branch metric and the ACS circuit 22 which calculated pass metric of this by step S4, and this addition output is stored in a register P2 (step S11).

[0039] next, this ACS circuit 22 -- the comparison of each storing value of these registers P1 and P2, and actuation of a selection -- carrying out (steps S12 and S13) -- that selection value -- outputting (step S14) -- this value -- the pass metric store circuit 23 -- updating (step S15) -- the pass memory 26 is updated (step S16).

[0040] Processing from step S5 mentioned above to step S16 -- the number of conditions -- $2k-1$ only -- it repeats (step S17). After the above processing is completed, the pass which has the minimum pass metric value by the maximum ** pass detector 25 is detected (step S18), and normalization is processed by subtracting the further pass metric minimum value from the pass metric amount of each (step S19).

[0041] Then, by the maximum ** pass detector 25, the address of the maximum ** pass is set up (step S20), and the contents of the pass memory 26 are outputted as decode data (step S21).

[0042] It sets to the Viterbi equalizer of the **** former, and is the channel response and cross-correlation function r_j of drawing 7. If it compares, it can check that a channel response can be presumed in a certain amount of precision, but on the other hand it is exposed that "the fake impulse response" which must not appear properly speaking will be detected. This cause is the autocorrelation function a_j of a synchronizing signal

pattern. It is clear if it calculates.

[0043]

[Equation 5]

$$a_j = \sum_{n=-L}^{+L} x_n \cdot x_{n+j}$$

[0044] In this way, the calculated autocorrelation function is shown in drawing 7. Some peaks which have the quite big level besides the main peak existed so that clearly from this drawing 7, and when this presumed a channel response, it had become the factor which degrades that precision.

[0045] this invention person proposed previously the Viterbi equalizer which can acquire an accurate identification property in view of *****.

[0046] It constitutes to explain per example of this Viterbi equalizer proposed previously so that the line-characteristic presumption section 4 of drawing 4 may be described below in this example. A model is made as shown in drawing 8 as a channel response. Thus, signal y_i which will be expected to probably be received if a model is made It is expressed with the above-mentioned several 1.

[0047] On the other hand, it is Y_i about the actually received signal. Error ϵ_i about the i -th symbol if expressed It is expressed with a degree type.

[0048]

[Equation 6] $\epsilon_i = y_i - Y_i$ -- it asks for the square sum E of this error.

[0049]

[Equation 7]

$$E = \sum_{i=-L}^{+M} \epsilon_i^2$$

$$= \sum_{i=-L}^{+M} \left\{ \sum_{n=-K}^{+K} h_n \cdot x_{i-n} - Y_i \right\}^2$$

[0050] It is an impulse train h_n so that this error E may be made into min. It carries out as [determine]. The least square method is applied in this example. for this reason, several 7 h_n ***** -- it carries out as [carry out / a partial differential].

[0051]

[Equation 8]

$$\frac{\partial E}{\partial h_n} = 2 \sum_{i=-L}^{+M} \left\{ \sum_{n=-K}^{+K} h_n \cdot x_{i-n} - Y_i \right\} x_{i-n}$$

$$= 0$$

To this several 8, they are $n=-km, -(km-1), \dots, 0, \dots, +(kp-1)$, and $+kp$. Substitution obtains the simultaneous equations showing in a degree type.

[0052]

[Equation 9]

$$\begin{bmatrix} \sum_{i=-l}^{+n} X_{i-km}^2 & \sum_{i=-l}^{+n} X_{i-km} X_{i-km-1} & \dots & \sum_{i=-l}^{+n} X_{i-km} X_{i-kp} \\ \sum_{i=-l}^{+n} X_{i-km-1} X_{i-km} & \sum_{i=-l}^{+n} X_{i-km-1}^2 & & \sum_{i=-l}^{+n} X_{i-km-1} X_{i-kp} \\ \dots & \dots & \dots & \dots \\ \sum_{i=-l}^{+n} X_{i-kp} X_{i-km} & \sum_{i=-l}^{+n} X_{i-kp} X_{i-km-1} & & \sum_{i=-l}^{+n} X_{i-kp}^2 \end{bmatrix} \begin{bmatrix} h_{-km} \\ h_{-km-1} \\ \dots \\ h_{-kp} \end{bmatrix}$$

$$= \begin{bmatrix} \sum_{i=-l}^{+n} X_{i-km} Y_i \\ \sum_{i=-l}^{+n} X_{i-km-1} Y_i \\ \dots \\ \sum_{i=-l}^{+n} X_{i-kp} Y_i \end{bmatrix}$$

[0053] Since the multiplier matrix of these simultaneous equations turns into a symmetry matrix, it is not necessary to perform count about each element about all. Furthermore, it is common to solve, after carrying out LU decomposition of the multiplier matrix first for solving these simultaneous equations. With the above means, the line-characteristic presumption section 4 depended on this example can opt for a channel response with a sufficient precision.

[0054] The flow of signal processing of the Viterbi equalizer of this example is explained using the flow chart of drawing 14. It is the input-signal data Y_k first. When an input terminal 1 is supplied, the synchronizing signal pattern section is detected (step S1). Detection of this synchronizing signal pattern section is the input-signal data Y_k . It carries out by taking correlation with the synchronizing signal pattern memorized beforehand.

[0055] next, the line-characteristic presumption section 4 -- setting -- this detected synchronizing signal pattern section -- a reference sign -- carrying out -- the least square method -- using -- the impulse response between a transmitter and a receiver -- making a model (step S2) -- a channel response is presumed (step S3).

[0056] Next, the branch metric count circuit 21 performs branch metric count (step S4), and it starts count about the Nth State continuously (step S5).

[0057] Next, the address of the State -1 in front of 1 time slot is set up (step S6), pass metric memorized next in the pass metric store circuit 23 of this set-up address is read (step S7), it adds in branch metric and the ACS circuit 22 which calculated pass metric of this by step S4, and this addition output is stored in a register P1 (step S8).

[0058] Next, in step S9, the address of the State -2 in front of 1 time slot is set up, pass metric by which the pass metric storage of this set-up address was carried out is read (step S10), it adds in branch metric and the ACS circuit 22 which calculated pass metric of this by step S4, and this addition output is stored in a register P2 (step S11).

[0059] next, this ACS circuit 22 -- the comparison of each storing value of these registers P1 and P2, and actuation of a selection -- carrying out (steps S12 and S13) -- that selection value -- outputting (step S14) -- this value -- the pass metric store circuit 23 -- updating (step S15) -- the pass memory 26 is updated (step S16).

[0060] processing from step S5 mentioned above to step S16 -- the number of conditions -- $2k-1$ only -- it repeats (step S17). After the above processing is completed, the pass which has the minimum pass metric value by the maximum ** pass detector 25 is detected (step S18), and normalization is processed by subtracting the further pass metric minimum value from the pass metric amount of each (step S19).

[0061] Then, by the maximum ** pass detector 25, the address of the maximum ** pass is set up (step S20), and the contents of the pass memory 26 are outputted as decode data (step S21).

[0062] Since this example models the impulse response between a transmitter and a receiver using the least square method by making the synchronizing signal pattern section into a reference sign like ****, it has the profits which can model the impulse response between a transmitter and a receiver uniquely.

[0063] Moreover, since this example presumes the transmission model with the least square method like ****, it is a model with which an error serves as min, and has the profits from which a good identification property is acquired.

[0064]

[Problem(s) to be Solved by the Invention] However, when carrying out data processing of nine above-mentioned, there were many counts of data processing, and there was unarranging [which requires time amount for this data processing]. That is, in several 9, when a parameter is set to $= (1+m) 11$, $km=2$, $kp=2$, and channel response length $=5$, the following simultaneous equations are obtained.

[0065]

[Equation 10]

$$\begin{bmatrix} +11.0 & -1.0 & +1.0 & -3.0 & +1.0 \\ -1.0 & +11.0 & +1.0 & +1.0 & -3.0 \\ +1.0 & +1.0 & +11.0 & +3.0 & -1.0 \\ -3.0 & +1.0 & +3.0 & +11.0 & +3.0 \\ +1.0 & -3.0 & -1.0 & +3.0 & +11.0 \end{bmatrix} \begin{bmatrix} h_{-2} \\ h_{-1} \\ h_0 \\ h_{+1} \\ h_{+2} \end{bmatrix} = \begin{bmatrix} +10.10 \\ -0.70 \\ +11.50 \\ +1.50 \\ +3.10 \end{bmatrix}$$

[0066] Thus, a parameter = (l+m) while making a model when being referred to as 5= (l+m) 11 and =(l+m) 21 and showing the result of an operation when processing in drawing 15 , the count of data processing is shown in drawing 16 .

[0067] What can be identified with a very sufficient precision so that clearly as compared with the channel response (ki) of drawing 7 also when the result of an operation of drawing 15 sets a parameter to =(l+m) 5, =(l+m) 11, and =(l+m) 21 can be checked.

[0068] Moreover, as the count of data processing is shown in drawing 16 , when a parameter is set to =(l+m) 5, The multiplication (MPY) of the right-hand side VeC 75 times 25 times, [the multiplication (MPY) of a multiplier matrix] When a division (DIV) is 5 times and a division (DIV) sets [the multiplication (MPY) of L-U decomposition / the multiplication (MPY) of advance and retreat substitution] a parameter to =(l+m) 11 20 times 10 times 30 times, The multiplication (MPY) of the right-hand side VeC 165 times 55 times, [the multiplication (MPY) of a multiplier matrix] When a division (DIV) is 5 times and a division (DIV) sets [the multiplication (MPY) of L-U decomposition / the multiplication (MPY) of advance and retreat substitution] a parameter to =(l+m) 21 20 times 10 times 30 times, For a division (DIV), the multiplication (MPY) of advance and retreat substitution is [the multiplication (MPY) of a multiplier matrix / the multiplication (MPY) of the right-hand side VeC / the multiplication (MPY) of L-U decomposition / a division (DIV)] 5 times 20 times 10 times 30 times 105 times 315 times.

[0069] This count of data processing has the processing process which searches for a multiplier matrix, and a dominant count of multiplication at the time of L-U decomposition so that clearly from this drawing 16 .

[0070] This invention aims at enabling it to determine the transmission characteristic between a base station and a mobile station with a sufficient precision as a high speed in view of *****.

[0071]

[Means for Solving the Problem] this invention Viterbi equalizer For example, a synchronizing signal data detection means 3 to detect the synchronizing signal data division out of an input-signal data sequence as shown in drawing 1 , A line-characteristic presumption means 4 to model a transmitter, a receiver, and the impulse

response of a between using the least square method by making into a reference sign the synchronizing signal data division detected by this synchronizing signal data detection means 3, The multiplier matrix at the time of using the least square method with this line-characteristic presumption means 4 is calculated beforehand. It consists of ROM4a written in as data, and a decode means to decode a transmit data sequence using the Viterbi algorithm based on the transmission model obtained by this line-characteristic presumption means 4.

[0072] This invention Viterbi equalizer is made to make the data written in this ROM4a in **** the value after decomposing a multiplier matrix L.U times.

[0073] Moreover, this invention Viterbi equalizer makes the data written in this ROM4a the inverse matrix of this multiplier matrix in ****.

[0074]

[Function] Since the impulse response between a transmitter and a receiver is modeled by making synchronizing signal data into a reference sign using the least square method according to this invention, the impulse response between a transmitter and a receiver can be modeled uniquely. In this way, the determined model is a model which serves as error min in the semantics of least-squares presumption. The multiplier matrix beforehand calculated to ROM4a while the identification property good as a result was acquired, When having written in and calculating the inverse matrix of that value decomposed L.U times or this multiplier matrix with the least square method with this line-characteristic presumption means 4, it calculates beforehand to this ROM4a. Since the inverse matrix of the written-in multiplier matrix, its value decomposed L.U times, or this multiplier matrix is used, the count of data processing at this time may come to be few, and can process at a high speed so much.

[0075]

[Example] Hereafter, with reference to drawing 1 - drawing 3, I will explain per example of this invention Viterbi equalizer. In this drawing 1, the same sign is given to the part corresponding to drawing 4, and that detail explanation is omitted. Also in drawing 1, as shown in drawing 4, while supplying the input signal supplied to an input terminal 1 to the branch metric count circuit 21 which constitutes the Viterbi presumption section 2, this input signal is supplied to the synchronizing signal data detecting element 3, and the synchronizing signal data from this synchronizing signal data detecting element 3 are supplied to the line-characteristic presumption section 4.

[0076] It carries out as [carry / although the impulse response between a transmitter and a receiver (channel response) is modeled in this line-characteristic presumption section 4 like **** using a synchronizing signal pattern also in this example / by making this synchronizing signal into a reference sign / using the least square method].

[0077] In this case, it sets to this example and is the multiplier matrix [several 11] of several 9.

$$\begin{bmatrix} \sum_{i=-l}^{+m} X_{i^2+km} & \sum_{i=-l}^{+m} X_{i+kn} X_{i+kn-1} & \dots & \sum_{i=-l}^{+m} X_{i+kn} X_{i-kp} \\ \sum_{i=-l}^{+m} X_{i+kn-1} X_{i+kn} & \sum_{i=-l}^{+m} X_{i^2+kn-1} & & \sum_{i=-l}^{+m} X_{i+kn-1} X_{i-kp} \\ \dots & \dots & \dots & \dots \\ \sum_{i=-l}^{+m} X_{i-kp} X_{i+kn} & \sum_{i=-l}^{+m} X_{i-kp} X_{i+kn-1} & & \sum_{i=-l}^{+m} X_{i^2-kp} \end{bmatrix}$$

It calculates [****] and memorizes to ROM4a, and when calculating several 9 in this line-characteristic presumption section 4, it carries out as [use / the multiplier matrix memorized to this ROM4a].

[0078] This multiplier matrix (several 11) will be uniquely determined as a line characteristic not related, if the channel response length and several 9 parameter to model are set up.

[0079] For example, the multiplier matrix when setting several 9 parameter to $km=2kp=2(l+m)=11$ and channel response length =5 is [Equation 12].

$$\begin{bmatrix} +11.0 & - 1.0 & + 1.0 & - 3.0 & + 1.0 \\ - 1.0 & +11.0 & + 1.0 & + 1.0 & - 3.0 \\ + 1.0 & + 1.0 & +11.0 & + 3.0 & - 1.0 \\ - 3.0 & + 1.0 & + 3.0 & +11.0 & + 3.0 \\ + 1.0 & - 3.0 & - 1.0 & + 3.0 & +11.0 \end{bmatrix}$$

It comes out.

[0080] The multiplier matrix of an expectable required number is calculated beforehand, and it considers as a table, and is made this ROM4a as [memorize]. When this multiplier matrix is stored in this ROM4a, as shown in drawing 3, a synchronizing signal pattern is specified first (step S1), a multiplier matrix is calculated (step S2), and this multiplier matrix is stored in this ROM4a as a table after that (step S3).

[0081] Others are constituted like the conventional Viterbi equalizer explaining drawing 4.

[0082] It explains per actuation of this example using the flow chart of drawing 2 below. It is the input-signal data Y_k first. When an input terminal 1 is supplied, the synchronizing signal pattern section is detected (step S1). Detection of this synchronizing signal pattern section is the input-signal data Y_k . It carries out by taking correlation with the synchronizing signal pattern memorized beforehand.

[0083] next, the line-characteristic presumption section 4 -- setting -- the predetermined multiplier matrix of ROM4a -- reading (step S2) -- the impulse response between a

transmitter and a receiver is modeled using the least square method by making this detected synchronizing signal pattern section into a reference sign (step S3), and a channel response is identified (step S4).

[0084] In this case, since the multiplier matrix which calculated beforehand to ROM4a and was stored in performing several 9 operation at it is used, this operation is unnecessary and this channel response can be identified so much at a high speed.

[0085] Next, the branch metric count circuit 21 performs branch metric count (step S5), and it starts count about the Nth State continuously (step S6). Next, the address of the State -1 in front of 1 time slot is set up (step S7), pass metric memorized next in the pass metric store circuit 23 of this set-up address is read (step S8), it adds in branch metric and the ACS circuit 22 which calculated pass metric of this at step S5, and this addition output is stored in a register P1 (step S9).

[0086] Next, at step S10, the address of the State -2 in front of 1 time slot is set up, pass metric by which the pass metric storage of this set-up address was carried out is read (step S11), it adds in branch metric and the ACS circuit 22 which calculated pass metric of this at step S5, and this addition output is stored in a register P2 (step S12).

[0087] Next, this ACS circuit 22 -- the comparison of each storing value of these registers P1 and P2, and actuation of a selection -- carrying out (steps S13 and S14) -- that selection value -- outputting (step S15) -- this value -- the pass metric store circuit 23 -- updating (step S16) -- the pass memory 26 is updated (step S17).

[0088] processing from step S6 mentioned above to step S17 -- the number of conditions -- $2k-1$ only -- it repeats (step S18). After the above processing is completed, the pass which has the minimum pass metric value by the maximum ** pass detector 25 is detected (step S19), and normalization is processed by subtracting the further pass metric minimum value from the pass metric amount of each (step S20).

[0089] Then, by the maximum ** pass detector 25, the address of the maximum ** pass is set up (step S20), and the contents of the pass memory 26 are outputted as decode data (step S22).

[0090] Since this example models the impulse response between a transmitter and a receiver using the least square method by making the synchronizing signal pattern section into a reference sign like ****, it has the profits which can model the impulse response between a transmitter and a receiver uniquely.

[0091] Moreover, since this example presumes the transmission model with the least square method like ****, it is a model with which an error serves as min, and has the profits from which a good identification property is acquired.

[0092] Moreover, since the multiplier matrix which the multiplier matrix calculated beforehand was stored in ROM4a, and calculated to this ROM4a beforehand and was

stored in it when calculating with the least square method in this line-characteristic presumption section 4 is used according to this example, the count of data processing at this time may come to be few, and there are profits which can be processed so much at a high speed.

[0093] In addition, although the multiplier matrix was table-ized to ROM4a and was stored in it in the above-mentioned example, since it is common to solve after decomposing this multiplier matrix into solving several 9 simultaneous equations L.U times first, it is good also as a value after disassembling the data stored in this ROM4a for this multiplier matrix L.U times.

[0094] In this case, there may be still few counts of data processing, and high-speed processing can be performed further.

[0095] Moreover, it becomes a unit matrix when the matrix which generally exists, and its inverse matrix are hung. Therefore, since several 9 can be solved using the inverse matrix and unit matrix of this multiplier matrix, it is good also considering the data stored in this ROM4a as an inverse matrix of this multiplier matrix.

[0096] In this case, since a multiplier matrix is uniquely determined like ****, it can ask also for the inverse matrix of this beforehand. For example, several 12 inverse matrix is as follows.

[Equation 13]

$$\begin{bmatrix} .1065 \times 10^0 & .1880 \times 10^{-2} & -.2318 \times 10^{-1} & .4135 \times 10^{-1} & -.2256 \times 10^{-1} \\ .1880 \times 10^{-2} & .1015 \times 10^0 & -.1880 \times 10^{-2} & -.1692 \times 10^{-1} & .3195 \times 10^{-1} \\ -.2318 \times 10^{-1} & -.1880 \times 10^{-2} & .1065 \times 10^0 & -.4135 \times 10^{-1} & .2256 \times 10^{-1} \\ .4135 \times 10^{-1} & -.1692 \times 10^{-1} & -.4135 \times 10^{-1} & .1278 \times 10^0 & -.4699 \times 10^{-1} \\ -.2256 \times 10^{-1} & .3195 \times 10^{-1} & .2256 \times 10^{-1} & -.4699 \times 10^{-1} & .1165 \times 10^0 \end{bmatrix}$$

[0097] Moreover, as for this invention, it is needless to say that various configurations can take, without deviating from the summary of this invention, without restricting to the above-mentioned example.

[0098]

[Effect of the Invention] Since the impulse response between a transmitter and a receiver is modeled by making synchronizing signal data into a reference sign using the least square method according to this invention, the impulse response between a transmitter and a receiver can be modeled uniquely. In this way, the determined model is a model which serves as error min in the semantics of least-squares presumption. The multiplier matrix beforehand calculated to ROM4a while the identification property good as a result was acquired, The inverse matrix of that value decomposed U.V times or this multiplier matrix is written in. Since the inverse matrix of the multiplier matrix which calculated to

this ROM4a beforehand and was written in it, its value decomposed U.V times, or this multiplier matrix is used when calculating with the least square method with this line-characteristic presumption means 4 The count of data processing at this time may come to be few, and there are profits which can be processed so much at a high speed.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing one example of this invention Viterbi equalizer.

[Drawing 2] It is the flow chart with which explanation of drawing 1 is presented.

[Drawing 3] It is the flow chart with which explanation of the important section of this invention is presented.

[Drawing 4] It is the block diagram showing the Viterbi equalizer.

[Drawing 5] It is the diagram with which explanation of the Viterbi equalizer is presented.

[Drawing 6] It is the diagram with which explanation of the Viterbi equalizer is presented.

[Drawing 7] It is the diagram with which explanation of the Viterbi equalizer is presented.

[Drawing 8] It is the diagram showing the accepted transmission-line equivalence model.

[Drawing 9] It is the diagram showing the materialized transmission-line equivalence model.

[Drawing 10] It is the diagram showing a trellis expression.

[Drawing 11] It is the diagram showing the Logical unit of the Viterbi equalizer.

[Drawing 12] It is the diagram in which surviving with metric count and showing pass.

[Drawing 13] It is the flow chart with which explanation of the conventional Viterbi equalizer is presented.

[Drawing 14] It is the flow chart with which explanation of the Viterbi equalizer is presented.

[Drawing 15] It is the diagram with which explanation is presented.

[Drawing 16] It is the diagram with which explanation is presented.

[Description of Notations]

1 Input Terminal

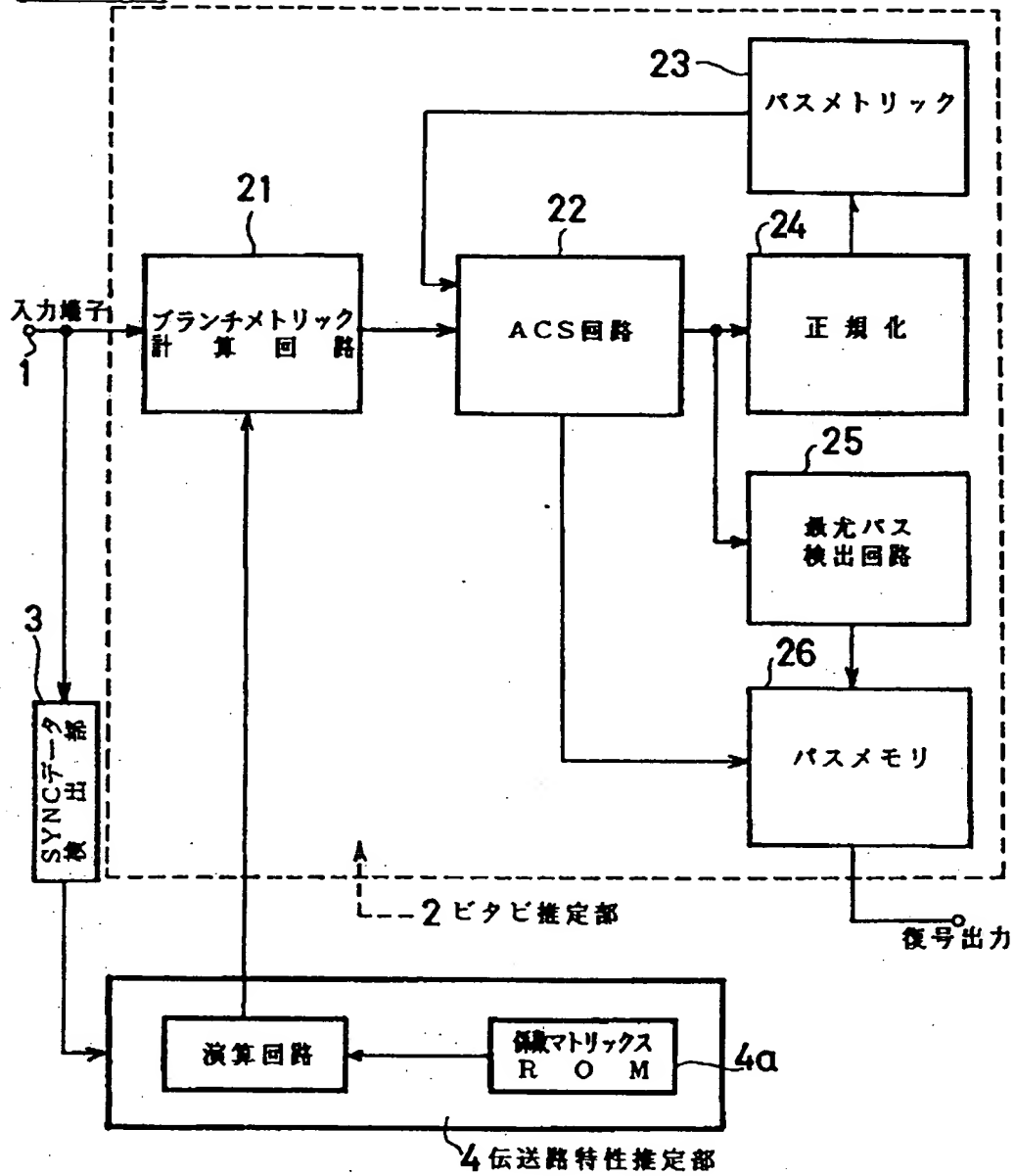
2 Viterbi Presumption Section

3 Synchronizing Signal Data Detecting Element

4 Line-Characteristic Presumption Section

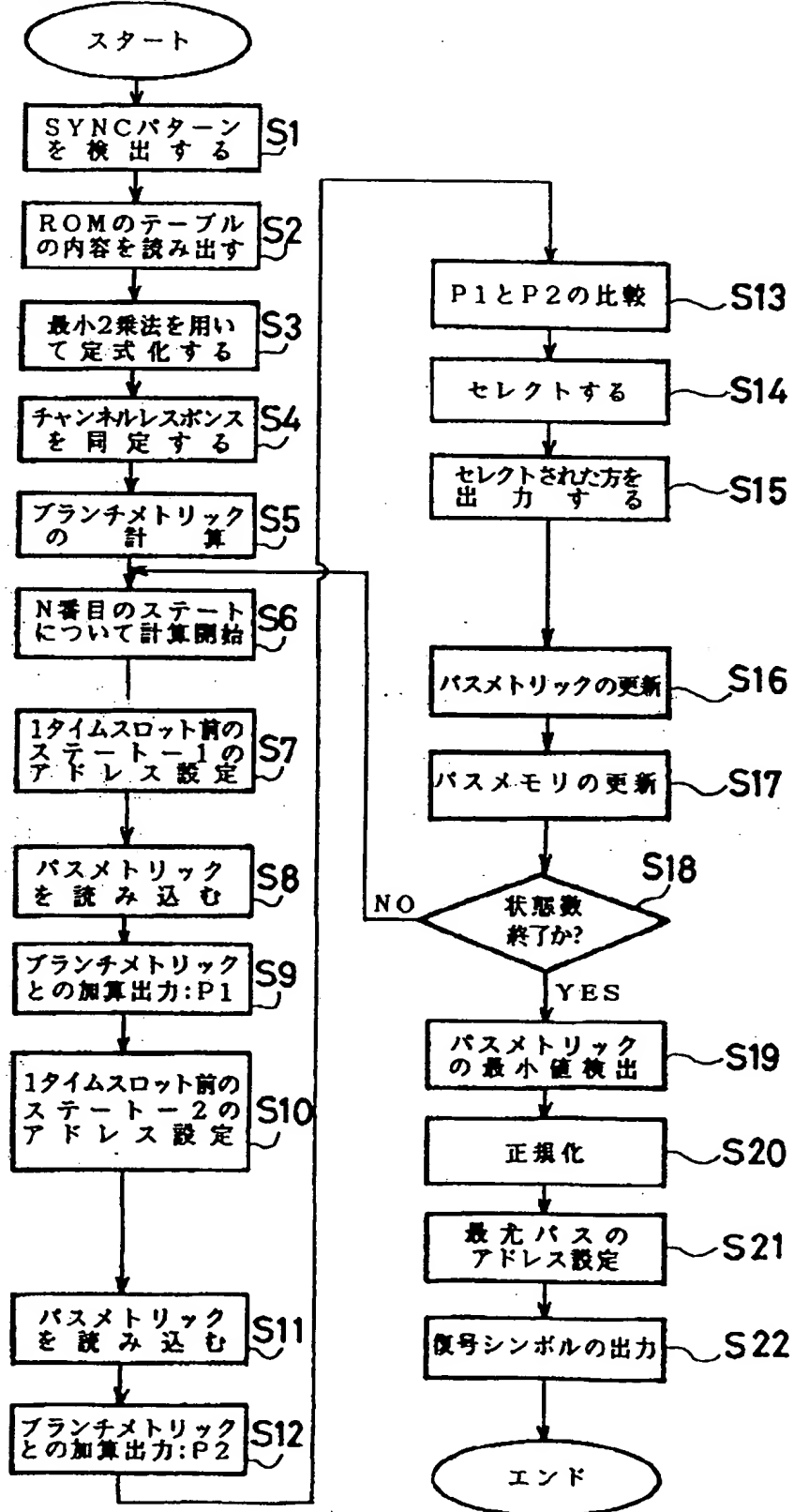
4a ROM

[Drawing 1]

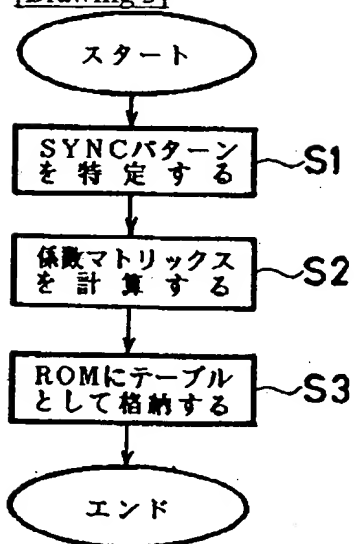


本発明ビタビ等化器の例

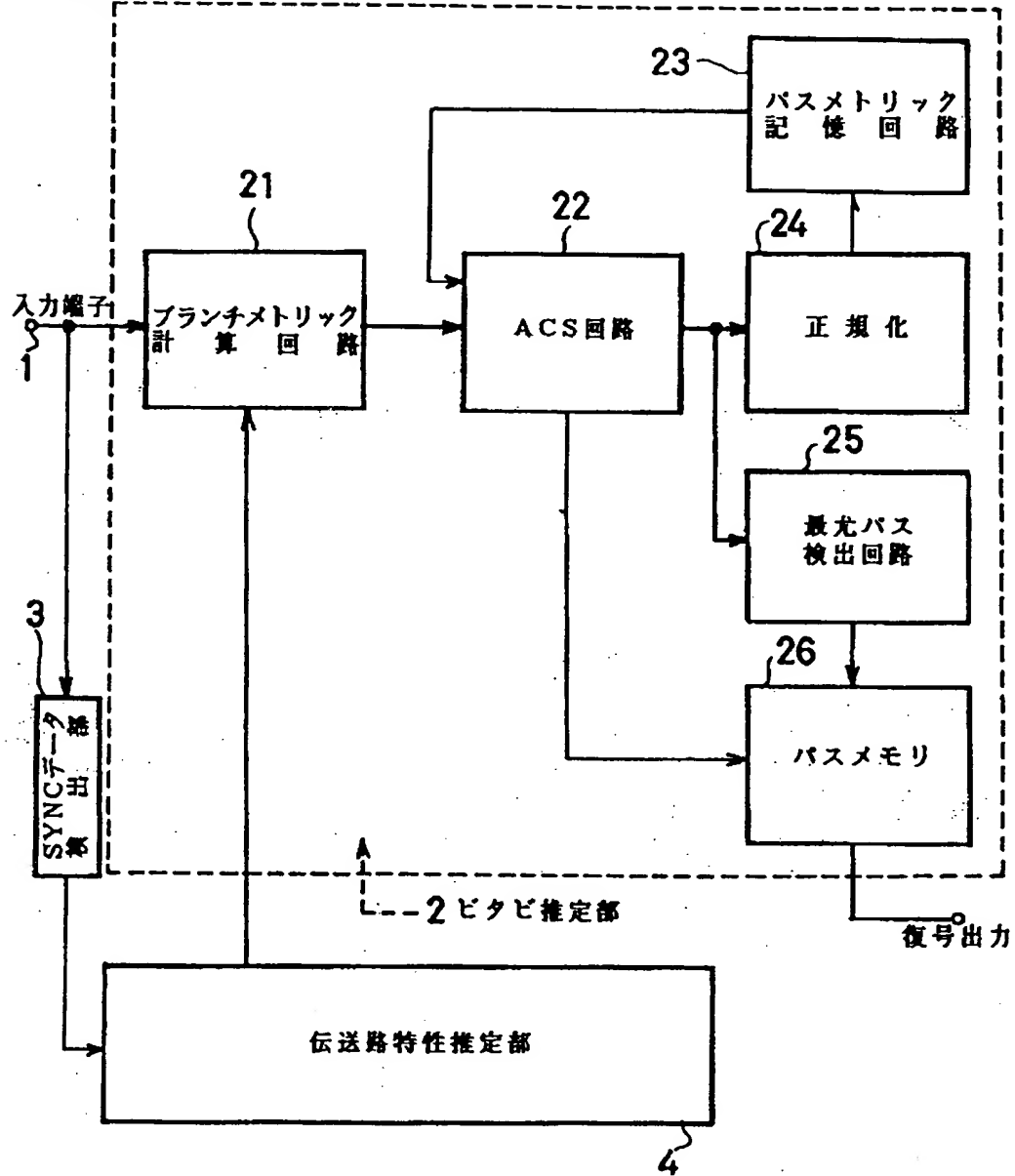
[Drawing 2]



[Drawing 3]

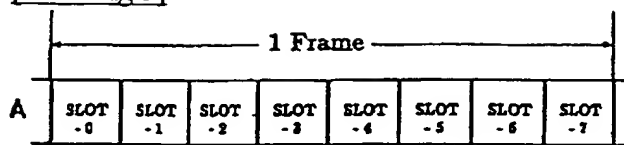


[Drawing 4]



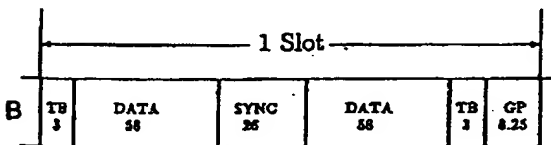
ビタビ等化器の例

[Drawing 5]



1 Frame: 4.615 msec

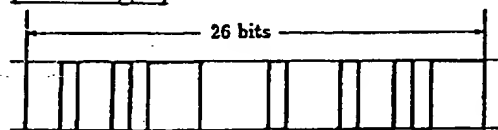
1 Slot: 156.25 bits



TB: Tail Bits

GP: Guard Period

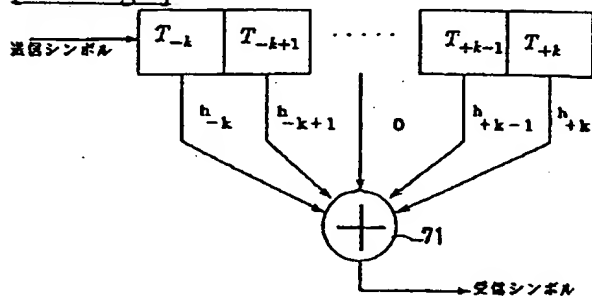
[Drawing 6]



[Drawing 7]

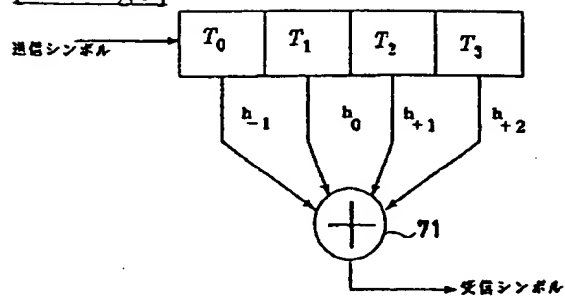
時間軸	チャンネルレスポンス(h_i)	SYNC(x)	受信信号(y)	相互相関($x \& y$)	自己相関($x \& x$)
-15			-0.80000	-0.08077	-0.03846
-14			-0.80000	0.03846	-0.07692
-13		-1.00000	-0.20000	-0.08077	-0.03846
-12		-1.00000	-1.80000	-0.02308	0.0
-11		1.00000	-0.10000	0.04231	-0.03846
-10		-1.00000	-0.50000	-0.30769	0.0
-9		-1.00000	-1.50000	0.19615	0.11538
-8		1.00000	1.50000	-0.38462	-0.38462
-7		-1.00000	-0.50000	0.11923	0.11538
-6		1.00000	-2.10000	-0.17692	0.0
-5		1.00000	-0.10000	0.08846	-0.03846
-4		1.00000	0.50000	-0.07692	-0.07692
-3		-1.00000	-1.50000	0.07308	0.11538
-2	0.80000	-1.00000	-1.50000	0.77692	0.0
-1	0	-1.00000	-0.50000	-0.03462	-0.03846
0	1.00000	-1.00000	-2.10000	1.00000	1.00000
1	0	1.00000	-0.10000	0.04231	-0.03846
2	0.30000	-1.00000	-2.10000	0.23846	0.0
3		-1.00000	0.10000	0.07308	0.11538
4		-1.00000	-2.10000	-0.07692	-0.07692
5		1.00000	-0.10000	0.08846	-0.03846
6		-1.00000	-0.50000	-0.33077	0.0
7		-1.00000	-1.50000	0.19615	0.11538
8		1.00000	1.50000	-0.38462	-0.38462
9		-1.00000	-0.50000	0.11923	0.11538
10		1.00000	2.10000	-0.11538	0.0
11		1.00000	0.70000	-0.03462	-0.03846
12		1.00000	1.30000	-0.06154	0.0
13			0.30000	-0.08077	-0.03846
14			0.30000	0.23077	-0.07692
15				-0.08077	-0.03846

[Drawing 8]



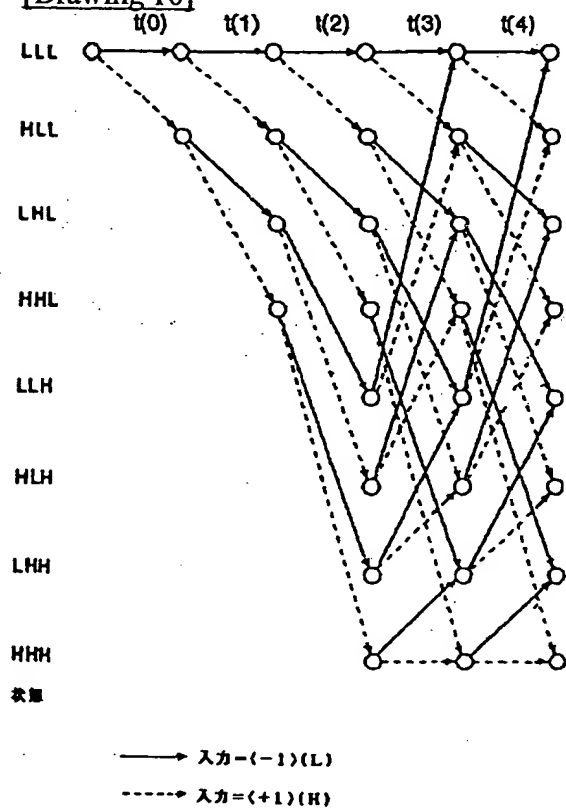
一般化した伝送路等価モデル

[Drawing 9]



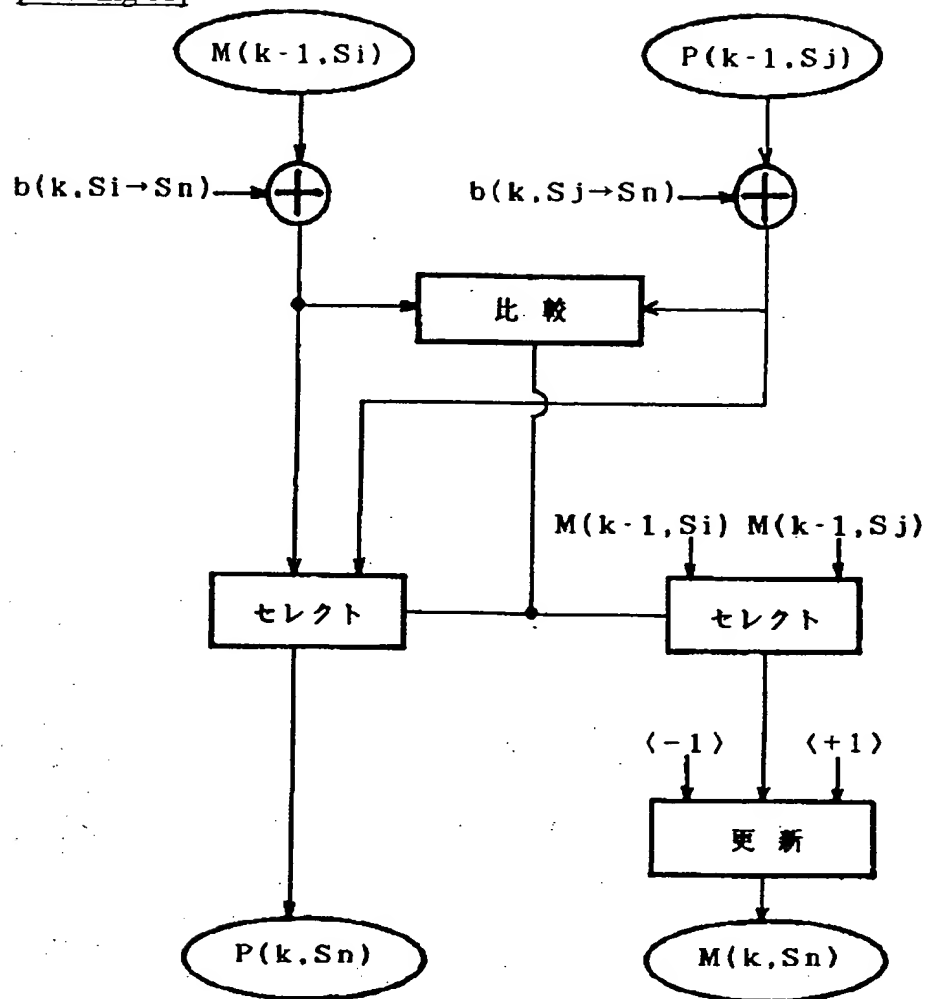
具体化した伝送路等価モデル

[Drawing 10]



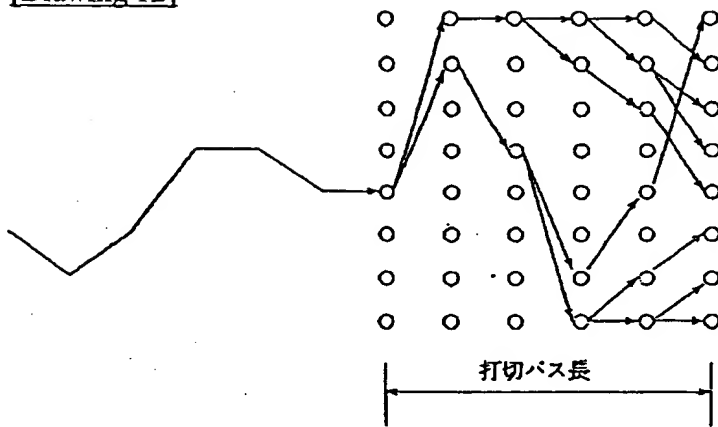
トリレス表現

[Drawing 11]



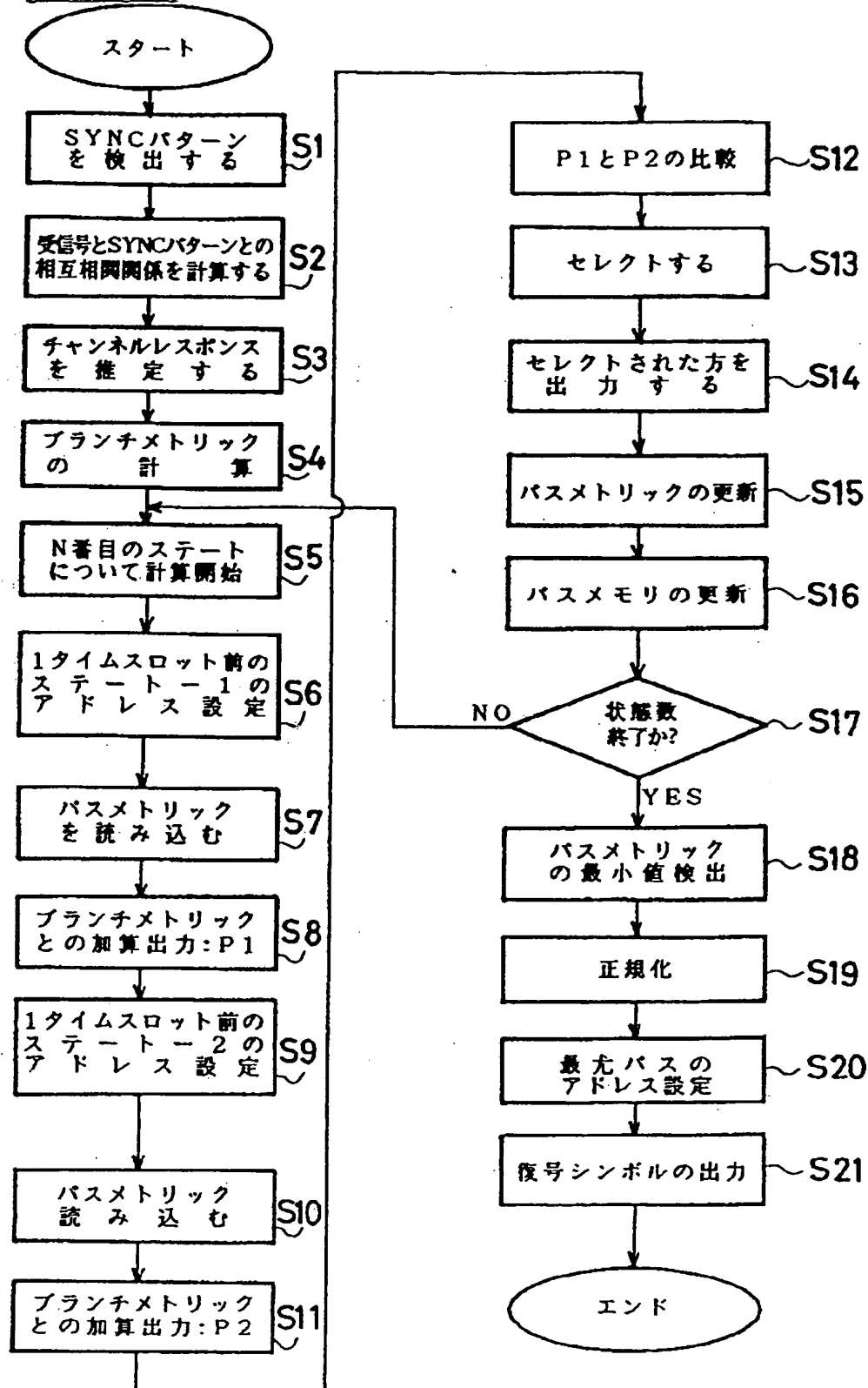
ビタビ等化器の論理ユニット

[Drawing 12]

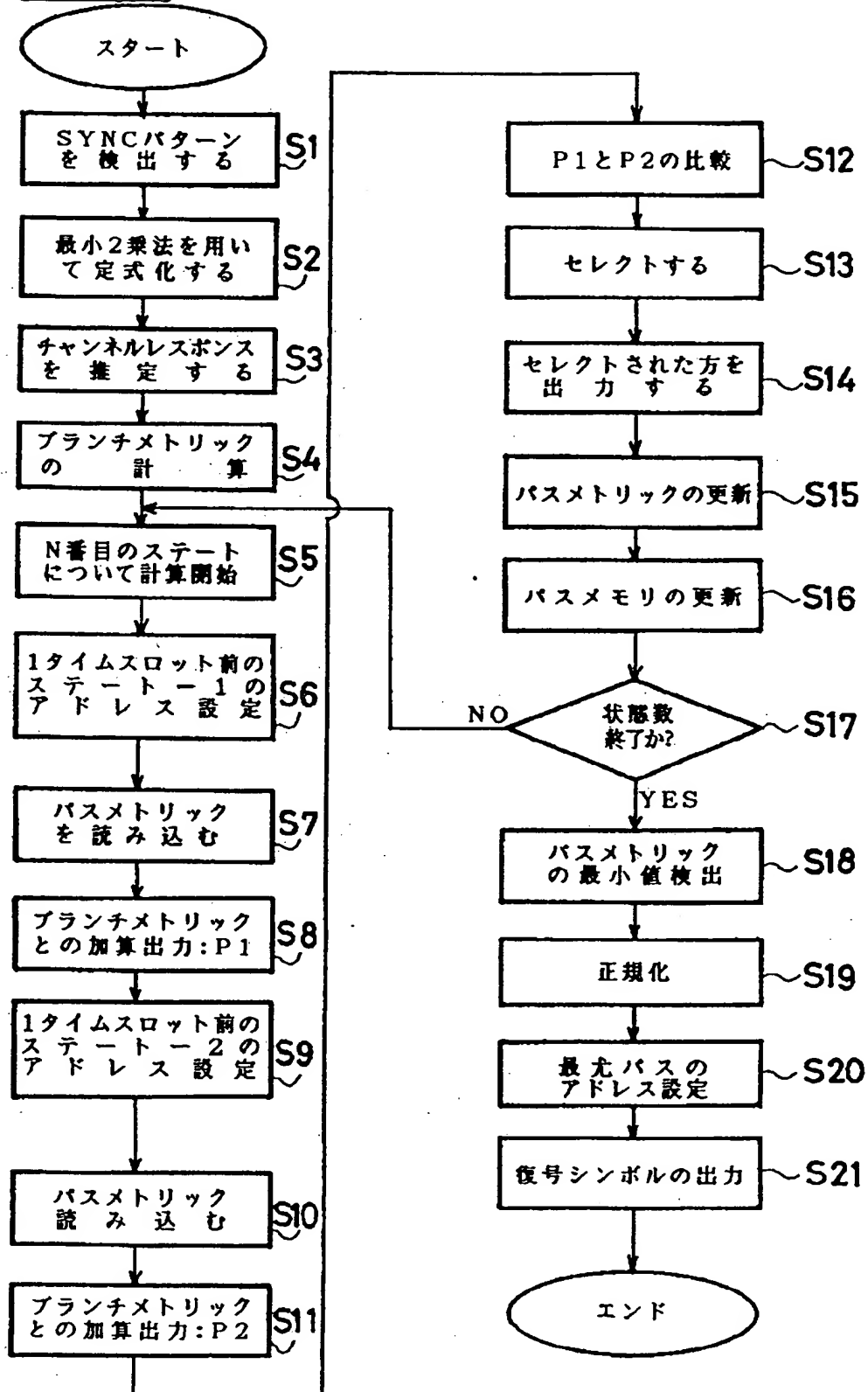


メトリックの計算と生き残りパス

[Drawing 13]



[Drawing 14]



[Drawing 15]

時間軸	チャンネルレボンス (hi)	Σ 5	Σ 1 1	Σ 2 1
-3				
-2	0.80000	0.8000×10^0	0.8000×10^0	0.8000×10^0
-1	0	0.8327×10^{-16}	0.0000×10^0	0.6939×10^{-17}
0	1.00000	0.1000×10^1	0.1000×10^1	0.1000×10^1
1	0	-0.2776×10^{-16}	-0.1249×10^{-16}	0.0000×10^0
2	0.30000	0.3000×10^0	0.3000×10^0	0.3000×10^0
3				

[Drawing 16]

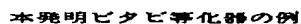
Σ	係数Mat (MPY)	右辺Vec (MPY)	L・U分解 (MPY) (DIV)		前進及び後退代入 (MPY) (DIV)	
5	7 5	2 5	3 0	1 0	2 0	5
1 1	1 6 5	5 5	3 0	1 0	2 0	5
2 1	3 1 5	1 0 5	3 0	1 0	2 0	5

(11)特許出願公開番号

(43)公開日 平成6年(1994)12月2日

(21)出願番号	特願平5-124228	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成5年(1993)5月26日	(72)発明者	佐藤 輝雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 松隈 秀盛

【構成】 受信信号データ系列中からの同期信号データ部を検出する同期信号データ検出手段3と、この同期信号データ検出手段3により検出された同期信号データ部を参照信号として最小2乗法を用いて送信機と受信機とのインパルス応答をモデル化する伝送路特性推定手段4と、この伝送路特性推定手段4にて最小2乗法を用いる際の係数マトリックスを予め計算して、データとして書き込んだROM4aと、この伝送路特性推定手段4により得られる伝送モデルを基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段とより成るものである。



【特許請求の範囲】

【請求項1】 受信信号データ系列中からの同期信号データ部を検出する同期信号データ検出手段と、該同期信号データ検出手段により検出された同期信号データ部を参照信号として、最小2乗法を用いて送信機と受信機と間のインパルス応答をモデル化する伝送路特性推定手段と、該伝送路特性推定手段にて最小2乗法を用いる際の係数マトリックスを予め計算してデータとして書き込んだROMと、前記伝送路特性推定手段により得られる伝送モデルを基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段とより成ることを特徴とするビタビ等化器。

【請求項2】 請求項1記載のビタビ等化器において、前記ROMに書き込むデータを係数マトリックスをLU分解した後の値とするようにしたことを特徴とするビタビ等化器。

【請求項3】 請求項1記載のビタビ等化器において、前記ROMに書き込むデータを前記係数マトリックスの逆行列とするようにしたことを特徴とするビタビ等化器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は例えば自動車電話等を使用して好適なビタビ等化器に関する。

【0002】

【従来の技術】米国、欧州及び日本においては、自動車電話方式のデジタル化が進められている。この自動車電話の如き移動体通信では自動車の様に高速で移動局と基地局との間に高層ビル等が介在することによりいわゆるマルチパスの影響を受けて、基地局及び移動局間の伝送特性が大幅に劣化してしまうので、エラーの少ないデータ伝送が困難であった。しかも、この等価的な伝送特性が時々刻々変動する。

【0003】この様な移動通信システムにおいて、エラーの少ない受信を実現するためには、こうした伝送特性を補正する等化技術が不可欠である。

【0004】従来斯る等化技術として基地局と移動局と間の伝送特性を用いて送信データを最尤系列推定に基づいて復号するビタビ等化器が提案されている。

【0005】このビタビ等化器の基本構成は図4に示す如きものであり、ここでは、この図4に示すビタビ等化器を欧州の自動車電話で採用されているGSM（グループスペシャルモバール）方式に適用した例につき述べる。

【0006】この図4においては入力端子1に供給される受信信号をビタビ推定部2を構成するブランチメトリック計算回路21に供給すると共にこの受信信号を同期信号データ検出部3に供給し、この同期信号データ検出部3よりの同期信号データを伝送路特性推定部4に供給する。

【0007】この欧州で採用されたGSM方式の基地局から移動局（自動車）への通話チャンネルは図5A及びBに示す如きフレーム構成となっている。この各タイムスロットは図5Bに示す如くその中央部に既知のパターンを有する同期信号パターン（SYNCパターン）が付加されて送られてくるので、この伝送路特性推定部4ではこの同期信号パターンを利用して送信機と受信機との間に介在する伝送系のインパルス応答（以下チャンネルレスポンスという。）を推定する。

10 【0008】このGSM方式の場合にはGMSK（ガウシアンミニマムシフトキーイング）という変調方式が採用されているが、高周波伝送系は復調器を通すことによりベースバンド信号に変換されるので、以下では説明を単純化するためにベースバンドにおける信号処理として話を進める。

20 【0009】このGSM方式においては、同期信号パターンとして8種類のデータ系列が予め指定されており、その内の1つの系列を図6に示す。この同期信号パターンを利用してチャンネルレスポンスをモデル化する従来の一般的な手順を説明する。

【0010】今、チャンネルレスポンスが図7で示される様なケースを例題として取り上げることにする（現実には、このチャンネルレスポンスは未知である。）。この図7において、時間軸方向の単位は、シンボルの送出間隔に等しい。この図7の同期信号パターンは図6の同期信号パターンである。この様なチャンネルレスポンスを有する伝送系を通過した時に受信される同期信号データは次式で表される。

【0011】

【数1】

$$y_i = \sum_{n=-k_n}^{+k_p} h_n \cdot x_{i-n}$$

ここで y_i は受信信号、 x_i は同期信号パターン、 h_i はチャンネルレスポンスを表す。また、夫々シンボル時間間隔Tでサンプリングされた値である。

【0012】数1に従って同期信号パターン部に対応する受信信号を計算すると図7で示される様な出力信号が得られる。この受信機側において、既知である情報は同期信号パターン x_i と受信信号 y_i である。

40 【0013】従来のこの伝送路特性推定部4のモデル化の処理手順は、まず受信信号と同期信号パターンとの相関をとることによって同期信号データ部を検出する。

【0014】次にこの同期信号データ部と同期信号パターンとの相互相関関数 r_j を計算する。

【0015】

【数2】

$$r_j = \sum_{n=-l_n}^{+l_p} x_n \cdot y_{n+j}$$

50 【0016】次にこの相互相関関数 r_j の最大値を用いて正規化を行なう。このようにして計算された相互相関

関数を図7に示す。この相互相関関数によりチャンネルレスポンスを推定し、ブランチメトリック計算回路21に供給する。

【0017】このチャンネルレスポンスを推定した後で、ビタビアルゴリズムを用いて送信データ系列を復号する。図8に一般化した伝送路等価モデルを示す。ここでは、この図8の一般化した伝送路等価モデルを具体的にそのチャンネルレスポンス長を限定してモデル化した図9の例について話を進める。

【0018】この図9のようにモデル化するとそれは拘束長=4
符号化率 $r=1/1$

$$G = \sum_{n=-1}^{+2} h_n \langle T_{n+1} \rangle$$

$$= h_{-1} \langle T_0 \rangle + h_0 \langle T_1 \rangle + h_{+1} \langle T_2 \rangle + h_{+2} \langle T_3 \rangle$$

ここで $\langle T_j \rangle$ はレジスタ T_j に格納された内容を表すものとする。

【0021】この図9に示す伝送路等価モデルにおける伝送路の内部状態の遷移を表すトレリス図を図10に示す。この図10の各状態節点 S_i に対応する3文字のアルファベットは各タイムスロットにおけるシフトレジスタの内部状態を表すものとする。ここでシフトレジスタは $\langle +1 \rangle$ と $\langle -1 \rangle$ との値をとるので、表現の都合上それぞれH及びLと表すこととする。尚この図10では通常用いられる格子構造図に変形を加えて、情報入力シンボル $\langle -1 \rangle$ が入力された場合には実線で、また情報入力シンボル $\langle +1 \rangle$ が入力された場合には破線で示す様な遷移が発生することを表している。

【0022】一方ブランチメトリック計算回路21に受信信号データ Y_k を入力してその遷移に関する尤度を計算する。その尤度を量るための計量として幾つか提案されているが、ビタビ復号器における最も一般的な評価尺度であるハミング距離を広義に適用する。

【0023】今タイムスロット $t(k)$ におけるブランチメトリックは次式で計算される。

【0024】

【数4】 $b(k, S_i \rightarrow S_n) = |Y_k - G_k|$

ここで、 Y_k は受信信号データであり、また G_k は等価伝送路モデルから送出されるシンボルであって、数3で計算される値をとる。

【0025】このブランチメトリック計算回路21に得られるブランチメトリックをACS(Add Compare Select)回路22に供給する。このACS回路22は、加算器と比較器とセレクトとから構成され、各状態において、このブランチメトリックとバスメトリック記憶回路23に記憶されている1タイムスロット前のバスメトリックとを加算してその値の小さい方を尤もらしい生き残りパスとして選択する。ここでバスメトリックとは、生

*の量み込み符号器と見ることができる。但し、通常の量み込み符号器と異なる点は加算器71が線形動作をおこなうこと及びシフトレジスタ T_0 、 T_1 、 T_2 及び T_3 に入力されるシンボルは $\langle +1 \rangle$ と $\langle -1 \rangle$ との2値であり、またシフトレジスタの各出力はチャンネルレスポンス h_{-1} 、 h_0 、 h_{+1} 及び h_{+2} に相当する重みを付けた後に加算器71で加えられることの2点である。

【0019】このようにモデル化した場合に送出されるシンボル G は次式で表される。

【0020】

【数3】

※き残りパスにおけるブランチメトリックを合算した値である。

20 【0026】このACS回路22の出力信号を正規化回路24を介してバスメトリック記憶回路23に供給すると共にこのACS回路22の出力信号を最尤パス検出回路25に供給する。

【0027】この最尤パス検出回路25は最小のバスメトリック値を有するパスを検出してそのパスに対応したバスメモリ26の内容を復号データとして出力する。このバスメモリ26は情報ビット列を推定して記憶しておくメモリである。

30 【0028】このビタビ等化器を構成する論理ユニットを図11に示す。この図11において、各計量はそれぞれ次の様な内容を表すものとする。

【0029】

$P(k-1, S_i)$: タイムスロット $t(k-1)$ において状態節点 S_i に到達した生き残りパスが有するバスメトリック

$P(k-1, S_j)$: タイムスロット $t(k-1)$ において状態節点 S_j に到達した生き残りパスが有するバスメトリック

$b(k, S_i \rightarrow S_n)$: タイムスロット $t(k)$ において状態節点 S_i から状態節点 S_n への遷移に対応するブランチメトリック

$b(k, S_j \rightarrow S_n)$: タイムスロット $t(k)$ において状態節点 S_j から状態節点 S_n への遷移に対応するブランチメトリック

【0030】

$M(k-1, S_i)$: タイムスロット $t(k-1)$ において状態節点 S_i に到達した生き残りパスが有するバスメモリ

$M(k-1, S_j)$: タイムスロット $t(k-1)$ において状態節点 S_j に到達した生き残りパスが有するパス

メモリ

$\langle -1 \rangle, \langle +1 \rangle$: タイムスロット $t(k)$ において送出されたと推定される情報シンボル

$P(k, S_n)$: タイムスロット $t(k)$ において状態節点 S_n に到達した生き残りバスが有するバスメトリック

$M(k, S_n)$: タイムスロット $t(k)$ において状態節点 S_n に到達した生き残りバスが有するバスメモリ

【0031】ここで、拘束長を k とすると、状態数は 2^{k-1} だけ存在するので、図11に示す論理ユニットの数も基本的には状態数 2^{k-1} だけ必要となる。更に図4に示したビタビ等化器のブロック構成の様に正規化回路24を設けて、バスメトリック記憶回路23の規模を減らし、またバスメトリック計算時におけるオーバーフローを防ぐ方式が一般的である。

【0032】この正規化の具体的な処理としては、まずバスメトリックの最小値を検出し次にその値を各バスメトリック量から減算する処理が行なわれる。このようにしてセレクトされた生き残りバスの数は、状態数と同じく 2^{k-1} だけ存在することになる。

【0033】各タイムスロットにおいて、生き残りバスを選択する操作とそのバスに対応するバスメトリックとバスメモリ26を更新する操作を繰り返す。この操作を十分に長い時間にわたって行なうとある時間以前においては、同一のバスにマージすることが知られており、この様子を図12に示す。最新の処理時点から遡ってバスがマージするまでのバスの長さを打ち切りバス長と呼んでいる。

【0034】図11のバスメモリの更新のしかたはそれぞれの状態により決定する。例えば“LLL”の論理ユニットでは $\langle -1 \rangle$ 、“HLL”の論理ユニットでは $\langle +1 \rangle$ と決り、以下同様に決まる。

【0035】最尤判定では最小のバスメトリック値を有するバスを検出してそのバスに対応したバスメモリの内容を打ち切りバス長（通常拘束長の3倍から4倍程度に設定される）分さかのぼった時点の情報シンボルとして出力する。

【0036】この従来のビタビ等化器の信号処理の流れを図13のフローチャートを用いて説明する。まず受信信号データ Y_k が入力端子1に供給されたときに同期信号パターンを検出し（ステップS1）、この受信信号データ Y_k の同期信号パターンと予め記憶されている同期信号パターンとの相互相関関数を伝送路特性推定部4において計算し（ステップS2）チャンネルレスポンスを推定する（ステップS3）。次にブランチメトリック計算回路21はブランチメトリックの計算を行い（ステップS4）、続いてN番目のステートについて計算を開始する（ステップS5）。

【0037】次に1タイムスロット前のステート1のアドレスを設定し（ステップS6）、次にこの設定した

アドレスのバスメトリック記憶回路23に記憶されたバスメトリックを読み込み（ステップS7）、このバスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP1に格納する（ステップS8）。

【0038】次にステップS9では、1タイムスロット前のステート2のアドレスの設定を行い、この設定したアドレスのバスメトリック記憶回路23に記憶されたバスメトリックを読み込み（ステップS10）、このバスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP2に格納する（ステップS11）。

【0039】次にこのACS回路22で、このレジスタP1及びP2の各格納値の比較及びセレクトの動作を行い（ステップS12、S13）、そのセレクト値を出力し（ステップS14）、この値でバスメトリック記憶回路23を更新する（ステップS15）と共にバスメモリ26を更新する（ステップS16）。

【0040】上述したステップS5からステップS16までの処理を、状態数 2^{k-1} だけ繰り返す（ステップS17）。以上の処理が終了した後、最尤バス検出回路25によって最小のバスメトリック値を有するバスを検出し（ステップS18）、さらにバスメトリックの最小値を各バスメトリック量から減算することにより正規化の処理を行う（ステップS19）。

【0041】続いて最尤バス検出回路25によって最尤バスのアドレスを設定し（ステップS20）、バスメモリ26の内容を復号データとして出力する（ステップS21）。

【0042】斯る従来のビタビ等化器においては図7のチャンネルレスポンスと相互相関関数 r_j とを比較するとある程度の精度でチャンネルレスポンスを推定できることが確認できるが、その反面、本来ならば出現してはならない「偽のインパルスレスポンス」も検出されてしまうことが露呈している。この原因は同期信号パターンの自己相関関数 a_j を計算してみれば明らかである。

【0043】

【数5】

$$a_j = \sum_{n=-L_n}^{+L_n} x_n \cdot x_{n+j}$$

【0044】こうして計算した自己相関関数を図7に示す。この図7から明らかなように主ピーク以外にもかなり大きなレベルを有する幾つかのピークが存在し、これがチャンネルレスポンスを推定する際にその精度を劣化させる要因となっていた。

【0045】本発明者は斯る点に鑑み精度の良い等化特性を得ることができるビタビ等化器を先に提案した。

【0046】この先に提案したビタビ等化器の例につき説明するに、本例においては図4の伝送路特性推定部4を以下述べる如く構成する。チャンネルレスポンスとし

て図8に示すようにモデル化する。このようにモデル化すれば、受信されるであろうと予想される信号 y_i は前述の数1で表される。

【0047】一方、実際に受信された信号を Y_i と表すと、 i 番目のシンボルに関する誤差 e_i は次式で表される。

【0048】

【数6】 $e_i = y_i - Y_i$

この誤差の2乗和 E を求める。

【0049】

【数7】

$$E = \sum_{i=-l}^{+m} e_i^2$$

$$= \sum_{i=-l}^{+m} \left\{ \sum_{n=-km}^{+kp} h_n \cdot x_{i-n} - Y_i \right\}^2$$

$$\frac{\partial E}{\partial h_n} = 2 \sum_{i=-l}^{+m} \left\{ \sum_{n=-km}^{+kp} h_n \cdot x_{i-n} - Y_i \right\} x_{i-n} = 0$$

この数8に、 $n = -km, -(km-1), \dots, 0, \dots$ ※【0052】

$\dots, +(kp-1), +kp$ を代入すると次式に示す連立 【数9】

方程式が得られる。

$$\begin{bmatrix} \sum_{i=-l}^{+m} x_{i-2km}^2 & \sum_{i=-l}^{+m} x_{i-2km} x_{i-km-1} & \dots & \sum_{i=-l}^{+m} x_{i-2km} x_{i-kp} \\ \sum_{i=-l}^{+m} x_{i-km-1} x_{i-km} & \sum_{i=-l}^{+m} x_{i-km-1}^2 & & \sum_{i=-l}^{+m} x_{i-km-1} x_{i-kp} \\ \dots & \dots & \dots & \dots \\ \sum_{i=-l}^{+m} x_{i-kp} x_{i-km} & \sum_{i=-l}^{+m} x_{i-kp} x_{i-km-1} & \dots & \sum_{i=-l}^{+m} x_{i-kp}^2 \end{bmatrix} \begin{bmatrix} h_{-km} \\ h_{-km+1} \\ \dots \\ h_{+kp} \end{bmatrix} = \begin{bmatrix} \sum_{i=-l}^{+m} x_{i-2km} Y_i \\ \sum_{i=-l}^{+m} x_{i-km-1} Y_i \\ \dots \\ \sum_{i=-l}^{+m} x_{i-kp} Y_i \end{bmatrix}$$

【0053】この連立方程式の係数マトリックスは、対称マトリックスとなるので各要素についての計算は全てについて行なう必要はない。更にこの連立方程式を解くには係数マトリックスをまずLU分解してから解くのが一般的である。本例による伝送路特性推定部4は以上の手段によって、チャンネルレスポンスを精度良く決定することができる。

【0054】本例のビタビ等化器の信号処理の流れを図14のフローチャートを用いて説明する。先ず受信信号★

*【0050】この誤差 E を最小とするようにインパルス列 h_n を決定する如くする。本例においては最小2乗法を適用する。このため数7を h_n について偏微分する如くする。

【0051】

【数8】

★データ Y_k が入力端子1に供給されたときに、同期信号パターン部を検出する(ステップS1)。この同期信号パターン部の検出は受信信号データ Y_k と予め記憶されている同期信号パターンとの相関をとることにより行なう。

【0055】次に伝送路特性推定部4において、この検出された同期信号パターン部を参照信号として、最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化する(ステップS2)と共にチャンネルレスポ

ンスを推定する(ステップS3)。

【0056】次に、ブランチメトリック計算回路21はブランチメトリックの計算を行い(ステップS4)、続いてN番目のステートについて計算を開始する(ステップS5)。

【0057】次に1タイムスロット前のステート-1のアドレスを設定し(ステップS6)、次にこの設定したアドレスのバスメトリック記憶回路23に記憶されたバスメトリックを読み込み(ステップS7)、このバスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP1に格納する(ステップS8)。

【0058】次にステップS9では、1タイムスロット前のステート-2のアドレスの設定を行い、この設定したアドレスのバスメトリック記憶されたバスメトリックを読み込み(ステップS10)、このバスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP2に格納する(ステップS11)。

【0059】次にこのACS回路22で、このレジスタP1及びP2の各格納値の比較及びセレクトの動作を行い(ステップS12、S13)、そのセレクト値を出力し(ステップS14)、この値でバスメトリック記憶回路23を更新する(ステップS15)と共にバスメモリ26を更新する(ステップS16)。

【0060】上述したステップS5からステップS16までの処理を、状態数 2^{k-1} だけ繰り返す(ステップS*

*17)。以上の処理が終了した後、最尤バス検出回路25によって最小のバスメトリック値を有するバスを検出し(ステップS18)、さらにバスメトリックの最小値を各バスメトリック量から減算することにより正規化の処理を行う(ステップS19)。

【0061】続いて最尤バス検出回路25によって最尤バスのアドレスを設定し(ステップS20)、バスメモリ26の内容を復号データとして出力する(ステップS21)。

【0062】本例は上述の如く同期信号パターン部を参照信号として最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化しているため、送信機と受信機との間のインパルス応答を一義的にモデル化することができる利益がある。

【0063】また本例は上述の如く伝送モデルは最小2乗法により推定しているため、誤差が最小となるモデルであり、良好な等化特性が得られる利益がある。

【0064】

【発明が解決しようとする課題】然しながら前述数9を演算処理する場合に演算処理回数が多く、この演算処理に時間がかかる不都合があった。即ち、数9において、例えばパラメータを $(1+m)=11$, $km=2$, $kp=2$, チャンネルレスポンス長 $=5$ としたとき、以下のような連立方程式が得られる。

【0065】

【数10】

$$\begin{bmatrix} +11.0 & -1.0 & +1.0 & -3.0 & +1.0 \\ -1.0 & +11.0 & +1.0 & +1.0 & -3.0 \\ +1.0 & +1.0 & +11.0 & +3.0 & -1.0 \\ -3.0 & +1.0 & +3.0 & +11.0 & +3.0 \\ +1.0 & -3.0 & -1.0 & +3.0 & +11.0 \end{bmatrix} \begin{bmatrix} h_{-2} \\ h_{-1} \\ h_0 \\ h_{+1} \\ h_{+2} \end{bmatrix} = \begin{bmatrix} +10.10 \\ -0.70 \\ +11.50 \\ +1.50 \\ +3.10 \end{bmatrix}$$

【0066】このようにしてパラメータを $(1+m)=5$, $(1+m)=11$, $(1+m)=21$ としたときのモデル化して処理したときの演算結果を図15に示すと共に演算処理回数を図16に示す。

【0067】図15の演算結果はパラメータを $(1+m)=5$, $(1+m)=11$, $(1+m)=21$ としたときも図7のチャンネルレスポンス(k_i)と比較して明らかな如く、極めて精度良く同定できることが確認できる。

【0068】また演算処理回数は図16に示す如く、パラメータを $(1+m)=5$ としたとき、係数マトリックスの乗算(MPY)が75回、右辺Vecの乗算(MPY)が25回、L・U分解の乗算(MPY)が30回、除算(DIV)が10回、前進及び後退代入の乗算(M

*PY)が20回、除算(DIV)が5回であり、パラメータを $(1+m)=11$ としたとき、係数マトリックスの乗算(MPY)が165回、右辺Vecの乗算(MPY)が55回、L・U分解の乗算(MPY)が30回、除算(DIV)が10回、前進及び後退代入の乗算(MPY)が20回、除算(DIV)が5回であり、パラメータを $(1+m)=21$ としたとき、係数マトリックスの乗算(MPY)が315回、右辺Vecの乗算(MPY)が105回、L・U分解の乗算(MPY)が30回、除算(DIV)が10回、前進及び後退代入の乗算(MPY)が20回、除算(DIV)が5回である。

【0069】この図16から明かなように、この演算処理回数は係数マトリックスを求める処理過程及びL・U分解時における乗算回数が支配的である。

【0070】本発明は斯る点に鑑み、基地局及び移動局間の伝送特性を精度良く、かつ高速に決定することができるようにすることを目的とする。

【0071】

【課題を解決するための手段】本発明ビタビ等化器は例えば図1に示す如く、受信信号データ系列中からの同期信号データ部を検出する同期信号データ検出手段3と、この同期信号データ検出手段3により検出された同期信号データ部を参照信号として最小2乗法を用いて送信機と受信機とのインパルス応答をモデル化する伝送路特性推定手段4と、この伝送路特性推定手段4にて最小2乗法を用いる際の係数マトリックスを予め計算して、データとして書き込んだROM4aと、この伝送路特性推定手段4により得られる伝送モデルを基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段とより成るものである。

【0072】本発明ビタビ等化器は、上述においてこのROM4aに書き込むデータを係数マトリックスをL・U分解した後の値とするようにしたものである。

【0073】また本発明ビタビ等化器は上述において、このROM4aに書き込むデータをこの係数マトリックスの逆行列としたものである。

【0074】

【作用】本発明によれば同期信号データを参照信号として、最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化しているので送信機と受信機との間のインパルス応答を一義的にモデル化でき、こうして決定されたモデルは最小2乗推定の意味において、誤差最*

$$\begin{pmatrix} \sum_{i=-l}^{+n} X_{i-km}^2 & \sum_{i=-l}^{+n} X_{i-km} X_{i-km-1} & \cdots & \sum_{i=-l}^{+n} X_{i-km} X_{i-kp} \\ \sum_{i=-l}^{+n} X_{i-km-1} X_{i-km} & \sum_{i=-l}^{+n} X_{i-km-1}^2 & & \sum_{i=-l}^{+n} X_{i-km-1} X_{i-kp} \\ \cdots & & \cdots & \cdots \\ \sum_{i=-l}^{+n} X_{i-kp} X_{i-km} & \sum_{i=-l}^{+n} X_{i-kp} X_{i-km-1} & & \sum_{i=-l}^{+n} X_{i-kp}^2 \end{pmatrix}$$

を予め計算し、ROM4aに記憶しておき、この伝送路特性推定部4において数9を演算するときこのROM4aに記憶した係数マトリックスを使用する如くする。

【0078】この係数マトリックス(数11)はモデル化するチャンネルレスポンス長及び数9のパラメータを設定すれば、伝送路特性に関係なく一義的に決定される。

【0079】例えば数9のパラメータを $km=2$ $kp=2(1+m)=11$ 、チャンネルレスポンス長=5としたときの係数マトリックスは

【数1.2】

※

*小となるモデルであり、結果的に良好な等化特性が得られると共にROM4aに予め計算した係数マトリックス、そのL・U分解した値、又はこの係数マトリックスの逆行列を書き込んであり、この伝送路特性推定手段4で最小2乗法により演算するときこのROM4aに予め計算して、書き込んでおいた係数マトリックス、そのL・U分解した値、又はこの係数マトリックスの逆行列を使用するのでこのときの演算処理回数が少なくて良くなり、それだけ高速に処理できる。

【0075】

【実施例】以下、図1～図3を参照して本発明ビタビ等化器の一実施例につき説明しよう。この図1において図4に対応する部分には同一符号を付し、その詳細説明は省略する。図1においても、図4に示す如く、入力端子1に供給される受信信号をビタビ推定部2を構成するブランチメトリック計算回路21に供給すると共にこの受信信号を同期信号データ検出部3に供給し、この同期信号データ検出部3よりの同期信号データを伝送路特性推定部4に供給する。

【0076】本例においても上述の如く、この伝送路特性推定部4において、同期信号パターンを利用して送信機と受信機との間のインパルス応答(チャンネルレスポンス)をモデル化するのに、この同期信号を参照信号として最小2乗法を用いて行う如くする。

【0077】この場合本例においては数9の係数マトリックス

【数11】

$$\begin{pmatrix} +11.0 & -1.0 & +1.0 & -3.0 & +1.0 \\ -1.0 & +11.0 & +1.0 & +1.0 & -3.0 \\ +1.0 & +1.0 & +11.0 & +3.0 & -1.0 \\ -3.0 & +1.0 & +3.0 & +11.0 & +3.0 \\ +1.0 & -3.0 & -1.0 & +3.0 & +11.0 \end{pmatrix}$$

である。

【0080】このROM4aには、予想できる必要数の係数マトリックスを予め計算しテーブルとして、記憶しておく如くする。このROM4aにこの係数マトリックスを格納するときには図3に示す如く、まず同期信号パターンを特定し(ステップS1)、係数マトリックスを計

13

算し(ステップS2)、その後、このROM4aにこの係数マトリックスをテーブルとして格納する(ステップS3)。

【0081】その他は図4について説明した従来のビタビ等化器と同様に構成する。

【0082】以下図2のフローチャートを用いて本例の動作につき説明する。まず受信信号データ Y_k が入力端子1に供給されたときに、同期信号パターン部を検出する(ステップS1)。この同期信号パターン部の検出は受信信号データ Y_k と予め記憶されている同期信号パターンの相関をとることにより行う。

【0083】次に伝送路特性推定部4において、ROM4aの所定の係数マトリックスを読み出す(ステップS2)と共にこの検出された同期信号パターン部を参照信号として最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化し(ステップS3)、チャンネルレスポンスを同定する(ステップS4)。

【0084】この場合数9の演算を行うのにROM4aに予め計算し格納した係数マトリックスを使用するので、この演算が不用であり、それだけ高速にこのチャンネルレスポンスを同定することができる。

【0085】次にブランチメトリック計算回路21はブランチメトリックの計算を行い(ステップS5)、続いてN番目のステートについて計算を開始する(ステップS6)。次に1タイムスロット前のステート-1のアドレスを設定し(ステップS7)、次にこの設定したアドレスのバスメトリック記憶回路23に記憶されたバスメトリックを読み込み(ステップS8)、このバスメトリックをステップS5で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP1に格納する(ステップS9)。

【0086】次にステップS10では、1タイムスロット前のステート-2のアドレスの設定を行い、この設定したアドレスのバスメトリック記憶されたバスメトリックを読み込み(ステップS11)、このバスメトリックをステップS5で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP2に格納する(ステップS12)。

【0087】次にこのACS回路22で、このレジスタP1及びP2の各格納値の比較及びセレクトの動作を行い(ステップS13、S14)、そのセレクト値を出力し(ステップS15)、この値でバスメトリック記憶回路23を更新する(ステップS16)と共にバスメモリ26を更新する(ステップS17)。

14

【0088】上述したステップS6からステップS17までの処理を、状態数 2^{k-1} だけ繰り返す(ステップS18)。以上の処理が終了した後、最尤バス検出回路25によって最小のバスメトリック値を有するバスを検出し(ステップS19)、さらにバスメトリックの最小値を各バスメトリック量から減算することにより正規化の処理を行う(ステップS20)。

【0089】続いて最尤バス検出回路25によって最尤バスのアドレスを設定し(ステップS20)、バスメモリ26の内容を復号データとして出力する(ステップS22)。

【0090】本例は上述の如く同期信号パターン部を参照信号として最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化しているので、送信機と受信機との間のインパルス応答を一義的にモデル化することができる利益がある。

【0091】また本例は上述の如く伝送モデルは最小2乗法により推定しているので、誤差が最小となるモデルであり、良好な等化特性が得られる利益がある。

【0092】また本例によればROM4aに予め計算した係数マトリックスが格納されており、この伝送路特性推定部4で、最小2乗法により演算するとき、このROM4aに予め計算して格納した係数マトリックスを使用するので、このときの演算処理回数が少なくて良くなり、それだけ高速に処理できる利益がある。

【0093】尚上述実施例においてはROM4aに係数マトリックスをテーブル化して格納したが、数9の連立方程式を解くにはこの係数マトリックスを先ずL・U分解してから解くのが一般的であるので、このROM4aに格納するデータをこの係数マトリックスをL・U分解した後の値としても良い。

【0094】この場合は更に演算処理回数が少なくてよく、更に高速処理ができる。

【0095】また一般にある行列とその逆行列とを掛けたときには単位行列となる。従って数9をこの係数マトリックスの逆行列と単位行列とを使用して解くことができるので、このROM4aに格納するデータをこの係数マトリックスの逆行列としても良い。

【0096】この場合係数マトリックスは上述の如く一義的に決定されるので、これの逆行列も予め求めておくことができる。例えば数12の逆行列は次の通りである。

【数13】

$$\begin{matrix}
 & 15 & & & 16 \\
 \begin{matrix} 1 \\ 2 \\ 3 \\ 4 \\ 5 \end{matrix} & \begin{bmatrix}
 .1065 \times 10^0 & .1880 \times 10^{-2} & -.2318 \times 10^{-1} & .4135 \times 10^{-1} & -.2256 \times 10^{-1} \\
 .1880 \times 10^{-2} & .1015 \times 10^0 & -.1880 \times 10^{-2} & -.1692 \times 10^{-1} & .3195 \times 10^{-1} \\
 -.2318 \times 10^{-1} & -.1880 \times 10^{-2} & .1065 \times 10^0 & -.4135 \times 10^{-1} & .2256 \times 10^{-1} \\
 .4135 \times 10^{-1} & -.1692 \times 10^{-1} & -.4135 \times 10^{-1} & .1278 \times 10^0 & -.4699 \times 10^{-1} \\
 -.2256 \times 10^{-1} & .3195 \times 10^{-1} & .2256 \times 10^{-1} & -.4699 \times 10^{-1} & .1165 \times 10^0
 \end{bmatrix}
 \end{matrix}$$

【0097】また本発明は上述実施例に限ることなく本発明の要旨を逸脱することなく、その他種々の構成が採り得ることは勿論である。

【0098】

【発明の効果】本発明によれば同期信号データを参照信号として、最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化しているので送信機と受信機との間のインパルス応答を一義的にモデル化でき、こうして決定されたモデルは最小2乗推定の意味において、誤差最小となるモデルであり、結果的に良好な等化特性が得られると共にROM4aに予め計算した係数マトリックス、そのU・V分解した値、又はこの係数マトリックスの逆行列を書き込んであり、この伝送路特性推定手段4で最小2乗法により演算するときこのROM4aに予め計算して書き込んでおいた係数マトリックス、そのU・V分解した値又はこの係数マトリックスの逆行列を使用するので、このときの演算処理回数が少なくて良くなり、それだけ高速に処理できる利益がある。

【図面の簡単な説明】

【図1】本発明ビタビ等化器の一実施例を示す構成図である。

【図2】図1の説明に供する流れ図である。

【図3】本発明の要部の説明に供する流れ図である。

【図4】ビタビ等化器を示す構成図である。

10* 【図5】ビタビ等化器の説明に供する線図である。

【図6】ビタビ等化器の説明に供する線図である。

【図7】ビタビ等化器の説明に供する線図である。

【図8】一般化した伝送路等価モデルを示す線図である。

【図9】具体化した伝送路等価モデルを示す線図である。

【図10】トレリス表現を示す線図である。

【図11】ビタビ等化器の論理ユニットを示す線図である。

20 【図12】メトリックの計算と生き残りパスを示す線図である。

【図13】従来のビタビ等化器の説明に供する流れ図である。

【図14】ビタビ等化器の説明に供する流れ図である。

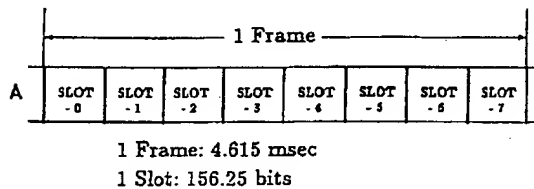
【図15】説明に供する線図である。

【図16】説明に供する線図である。

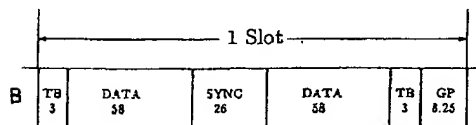
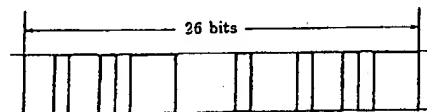
【符号の説明】

- 1 入力端子
- 2 ビタビ推定部
- 3 同期信号データ検出部
- 4 伝送路特性推定部
- 4a ROM

【図5】

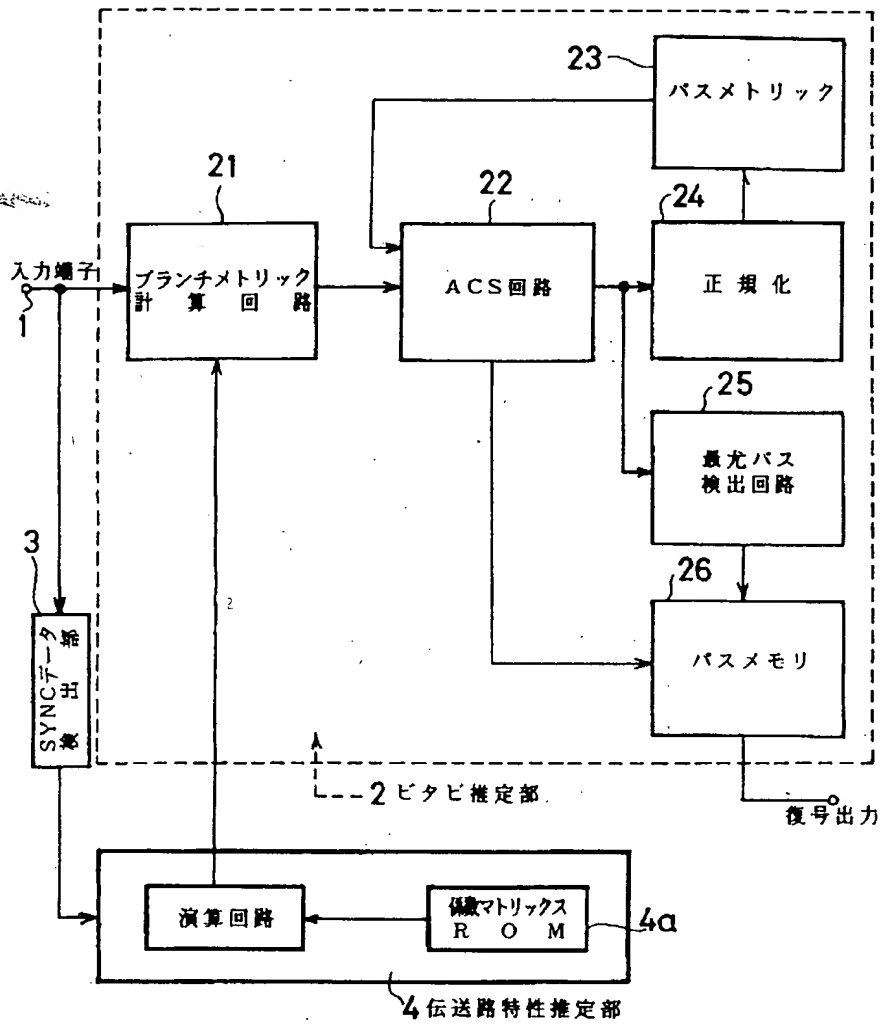


【図6】



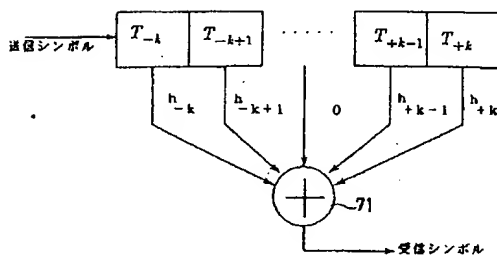
TB: Tail Bits
GP: Guard Period

【図1】



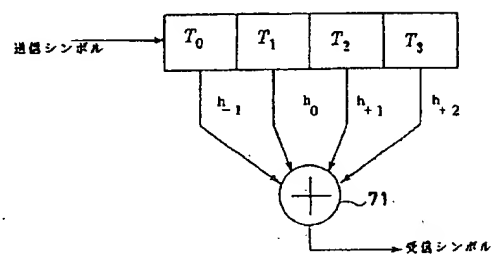
本発明ビタビ等化器の例

【図8】



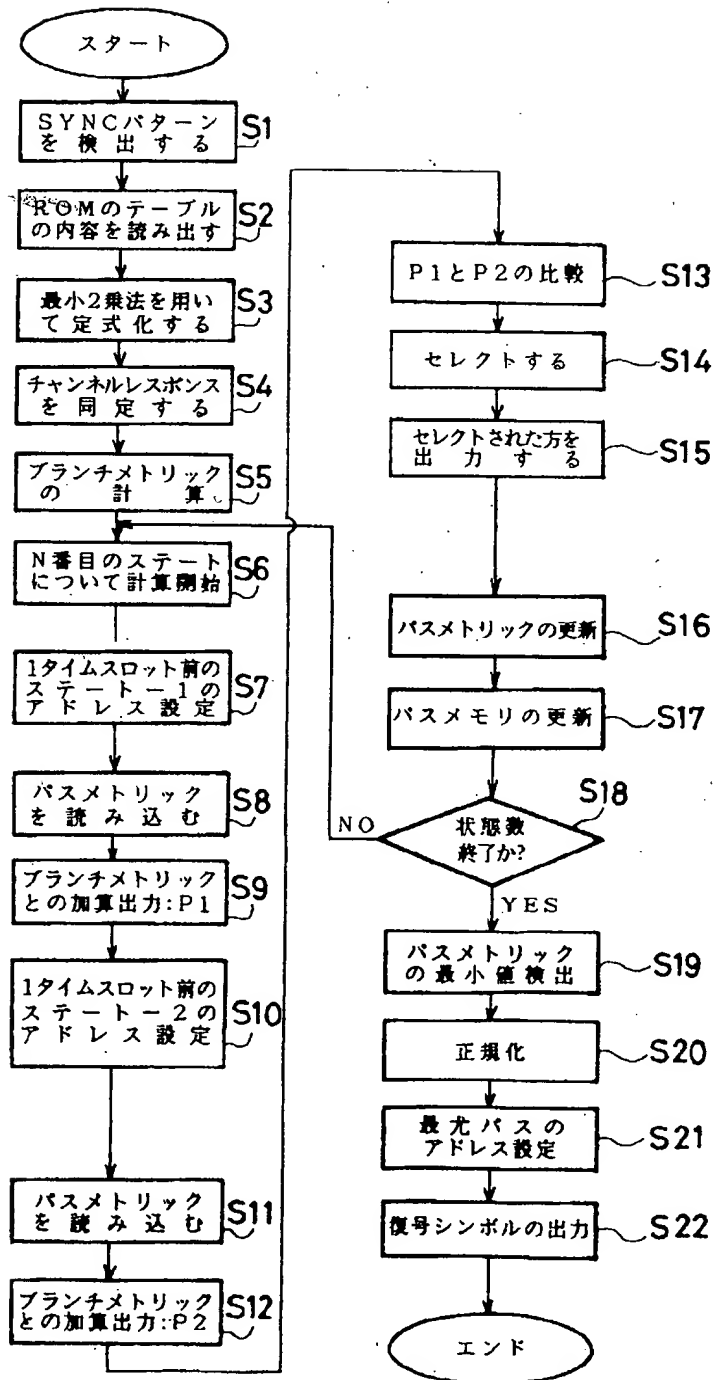
一般化した伝送路等価モデル

【図9】

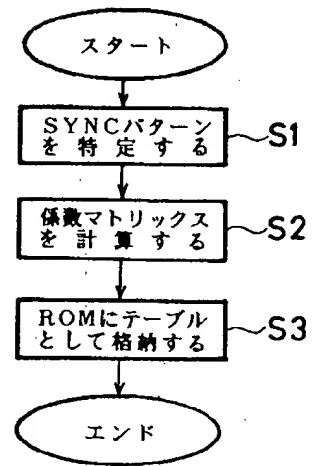


具体化した伝送路等価モデル

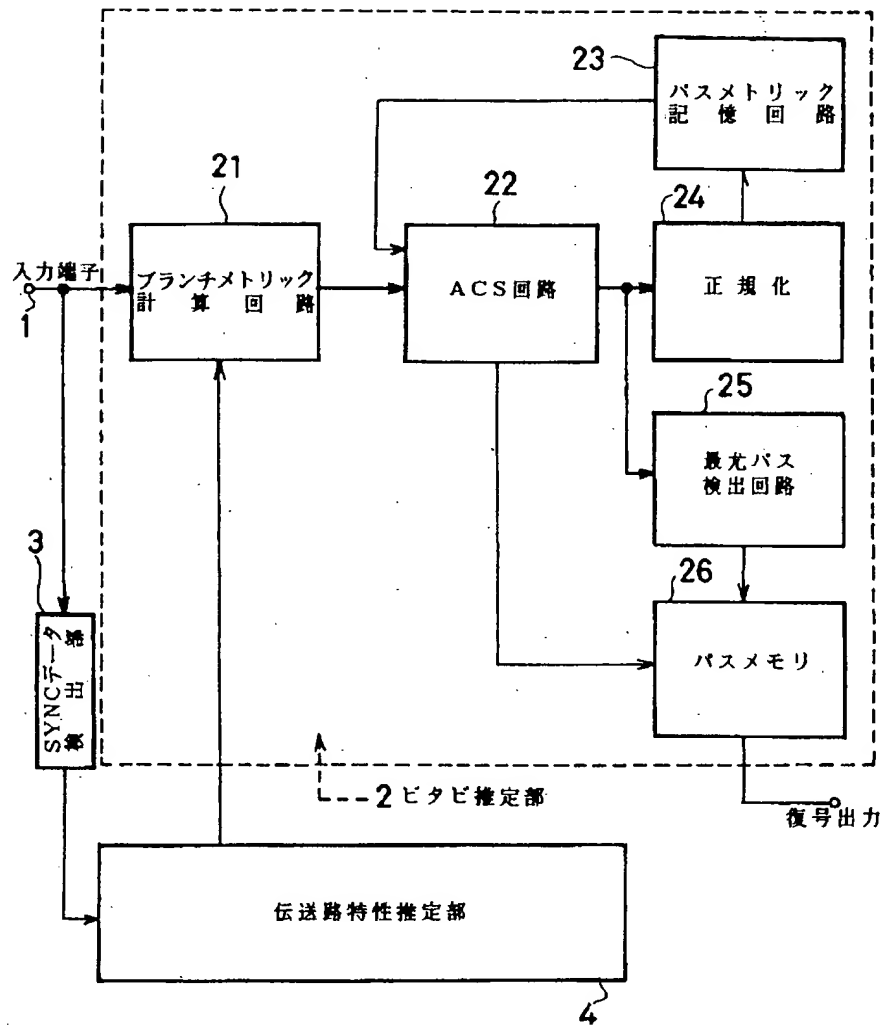
【図2】



【図3】



【図4】

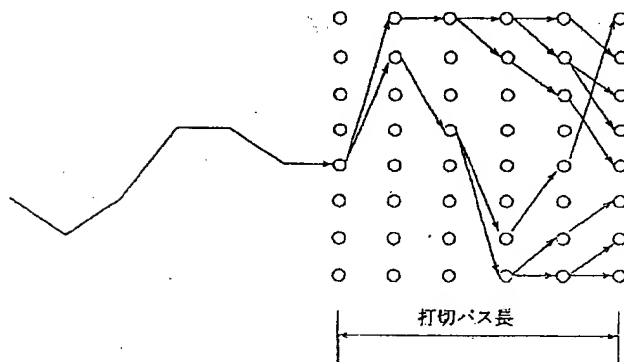


ビタビ等化器の例

【図7】

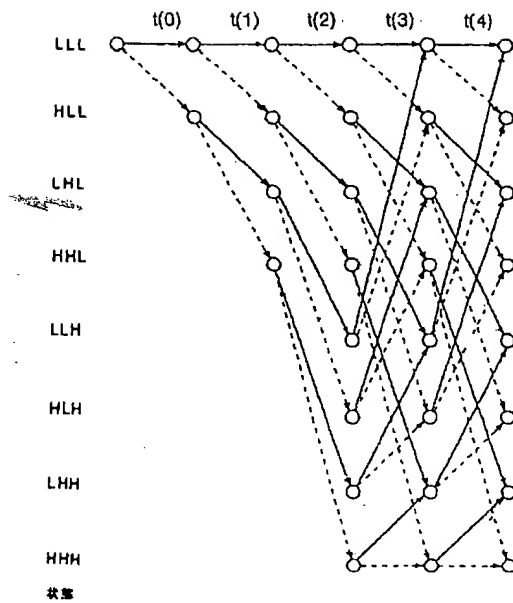
時間軸	チャンネル レスポ ンス(hi)	SYNC (x)	受信信号 (y)	相互相関 (xty)	自己相関 (x0)
-15			-0.80000	-0.08077	-0.03846
-14			-0.80000	0.03846	-0.07692
-13		-1.00000	-0.20000	-0.08077	-0.03846
-12		-1.00000	-1.80000	-0.02308	0.0
-11		1.00000	-0.10000	0.04231	-0.03846
-10		-1.00000	-0.50000	-0.30769	0.0
-9		-1.00000	-1.50000	0.19615	0.11538
-8		1.00000	1.50000	-0.38462	-0.38462
-7		-1.00000	-0.50000	0.11923	0.11538
-6		1.00000	-2.10000	-0.17692	0.0
-5		1.00000	-0.10000	0.08846	-0.03846
-4		1.00000	0.50000	-0.07692	-0.07692
-3		-1.00000	-1.50000	0.07308	0.11538
-2	0.80000	-1.00000	-1.50000	0.77692	0.0
-1	0	-1.00000	-0.50000	-0.03462	-0.03846
0	1.00000	-1.00000	-2.10000	1.00000	1.00000
1	0	1.00000	-0.10000	0.04231	-0.03846
2	0.30000	-1.00000	-2.10000	0.23846	0.0
3		-1.00000	0.10000	0.07308	0.11538
4		-1.00000	-2.10000	-0.07692	-0.07692
5		1.00000	-0.10000	0.08846	-0.03846
6		-1.00000	-0.50000	-0.33077	0.0
7		-1.00000	-1.50000	0.19615	0.11538
8		1.00000	1.50000	-0.38462	-0.38462
9		-1.00000	-0.50000	0.11923	0.11538
10		1.00000	2.10000	-0.11538	0.0
11		1.00000	0.70000	-0.03462	-0.03846
12		1.00000	1.30000	-0.06154	0.0
13			0.30000	-0.08077	-0.03846
14			0.30000	0.23077	-0.07692
15				-0.08077	-0.03846

【図12】



メトリックの計算と生き残りバス

【図10】



—— 入力 $=(-1)$ (L)

----- 入力 $=(+1)$ (H)

トリレス表現

【図15】

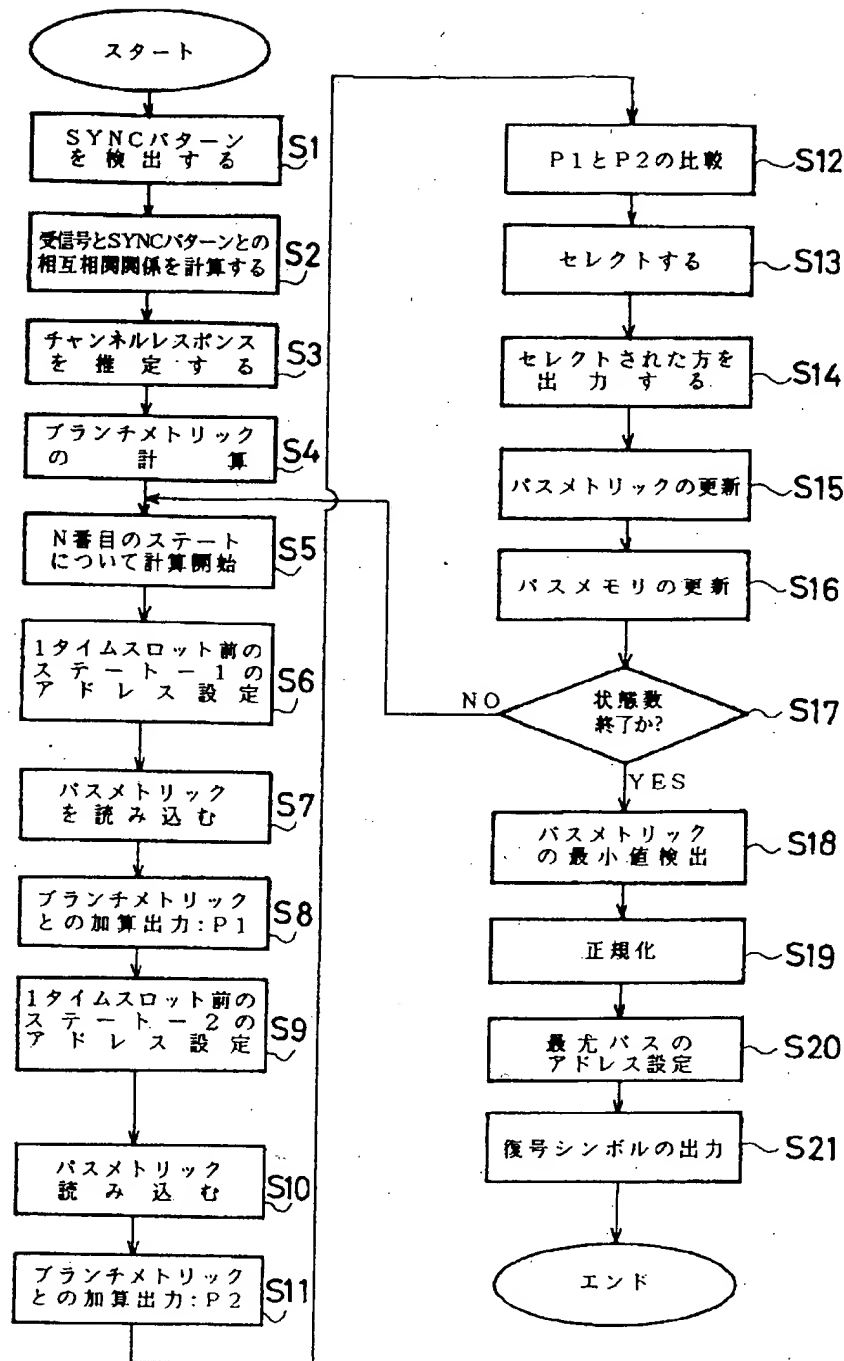
時間軸	チャンネルレボンス (hi)	Σ 5	Σ 1 1	Σ 2 1
-3				
-2	0.80000	0.8000×10^0	0.8000×10^0	0.8000×10^0
-1	0	0.8327×10^{-16}	0.0000×10^0	0.6939×10^{-17}
0	1.00000	0.1000×10^1	0.1000×10^1	0.1000×10^1
1	0	-0.2776×10^{-16}	-0.1249×10^{-1}	0.0000×10^0
2	0.30000	0.3000×10^0	0.3000×10^0	0.3000×10^0
3				

The flowchart illustrates the dynamic programming algorithm for sequence alignment. It starts with two input ellipses at the top: $M(k-1, S_i)$ on the left and $P(k-1, S_j)$ on the right. Arrows from these ellipses lead to two circular nodes containing a plus sign (\oplus). The left node also receives an input from the left labeled $b(k, S_i \rightarrow S_n)$. The right node also receives an input from the left labeled $b(k, S_j \rightarrow S_n)$. Arrows from the bottom of both plus nodes lead to a rectangular box labeled "比較" (Compare). From the bottom of the "比較" box, a line with a junction point splits into two paths. One path leads to a rectangular box labeled "セレクト" (Select) on the left. The other path leads to a rectangular box labeled "セレクト" (Select) on the right. The left "セレクト" box receives an input from the left labeled $M(k-1, S_i)$ and an input from the bottom labeled $P(k, S_n)$. The right "セレクト" box receives an input from the left labeled $M(k-1, S_j)$ and an input from the bottom labeled $M(k, S_n)$. Arrows from the bottom of both "セレクト" boxes lead to a rectangular box labeled "更新" (Update). The "更新" box also receives two inputs from the left: $\langle -1 \rangle$ and $\langle +1 \rangle$. An arrow from the bottom of the "更新" box leads to an ellipse labeled $M(k, S_n)$.

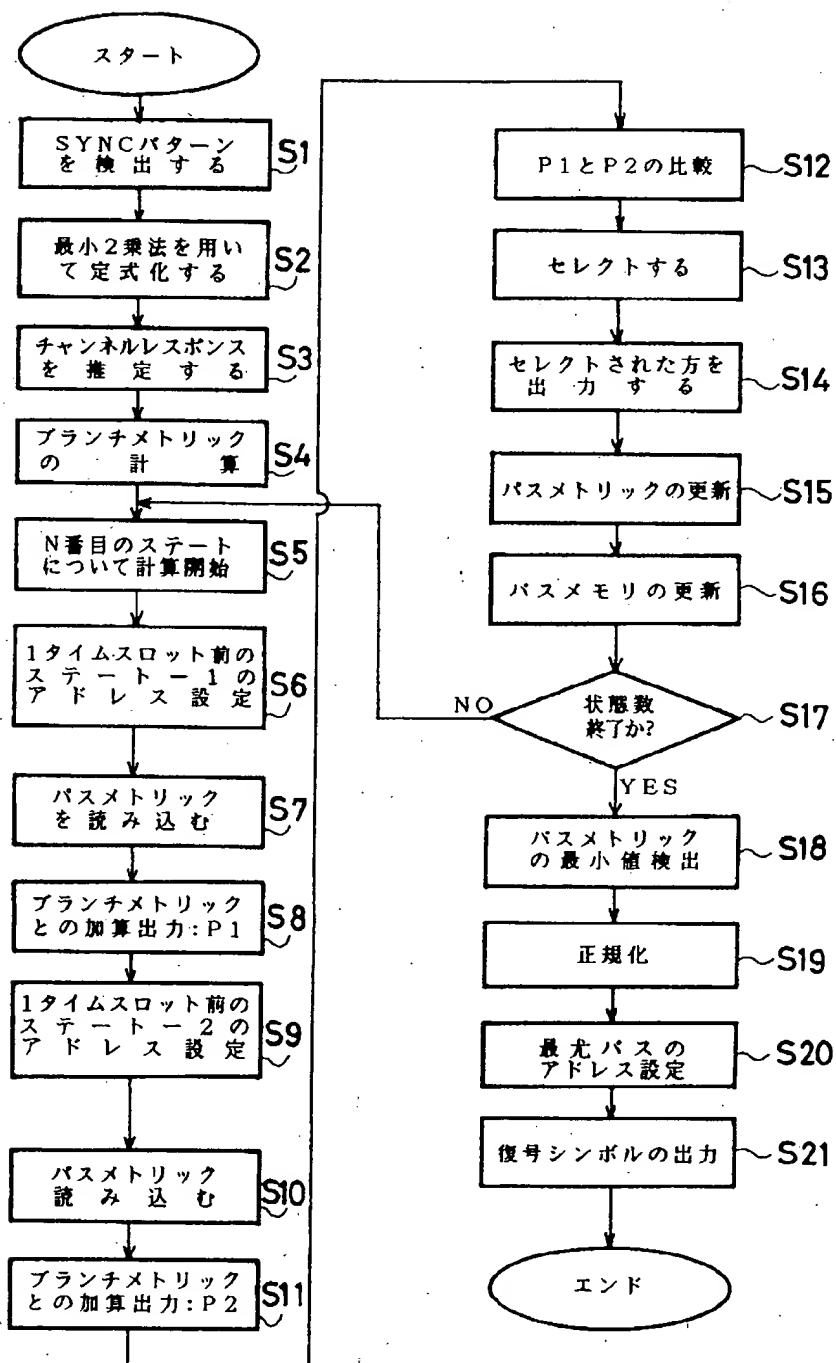
【图 16】

Σ	係数Mat (MPY)	右边Vec (MPY)	L・U分解 (MPY) (DIV)		前進及び後退代人 (MPY) (DIV)	
5	75	25	30	10	20	5
11	165	55	30	10	20	5
21	315	105	30	10	20	5

【図13】



【図14】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.